

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236249

(43)Date of publication of application : 29.08.2000

(51)Int.Cl. H03K 19/173  
 G01R 31/28  
 G06F 17/50  
 H01L 21/82  
 H03K 19/177  
 // G06F 11/22

(21)Application number : 11-336488 (71)Applicant : QUICKTURN DESIGN SYST INC

(22)Date of filing : 04.10.1989 (72)Inventor : BUTTS MICHAEL R

BATCHELLER JON A

(30)Priority

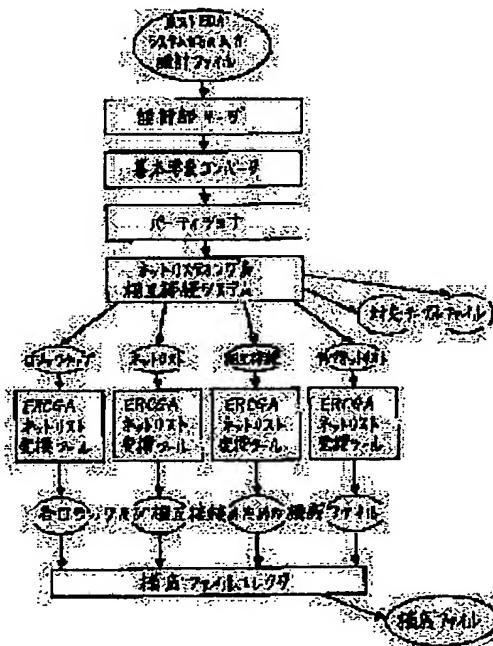
Priority number : 88 254463 Priority date : 05.10.1988 Priority country : US

### (54) METHOD FOR STRUCTURING LOGICAL CONFIGURATION USING ELECTRICALLY RECONFIGURABLE GATE ARRAY

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To actualize the method for structuring a logical configuration by using the electrically reconfigurable gate array.

**SOLUTION:** Electrically reconfigurable gate array (ERCGA) logic chips are connected to one another via reconfigurable interconnections. The electrical representation of a large-scale digital network is so converted as to adopt a hardware style, which operates actually and temporarily on the interconnected chips. The digital network actualized on the interconnected chips can be changed any time through reconfigured connections. Consequently, a system is adapted to various purposes which include simulation, prototyping, execution, and computation. The reconfigurable interconnections are configured by the ERCGA chips dedicated to an interconnected function. Each interconnected ERCGA is not connected to all the interconnected chips but is connected to at least one pin.



#### LEGAL STATUS

[Date of request for examination] 27.10.1999

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-236249

(P2000-236249A)

(43)公開日 平成12年8月29日 (2000.8.29)

(51)Int.Cl.  
H03K 19/173  
G01R 31/28  
G06F 17/50  
H01L 21/82  
H03K 19/177

識別記号  
101

F I  
H03K 19/173  
19/177  
G06F 11/22  
G01R 31/28  
G06F 15/80

テキスト(参考)

審査請求 有 請求項の数 4 OL (全 81 頁) 最終頁に続く

(21)出願番号 特願平11-336488  
(62)分割の表示 特願平1-509588の分割  
(22)出願日 平成1年10月4日(1989.10.4)  
(31)優先権主張番号 254463  
(32)優先日 昭和63年10月5日(1988.10.5)  
(33)優先権主張国 米国(US)

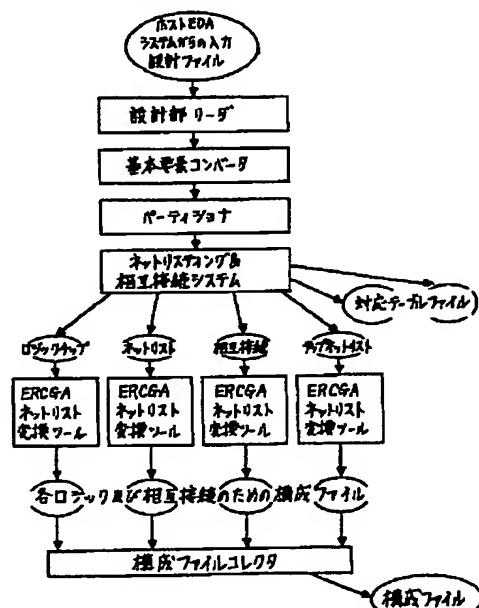
(71)出願人 595043376  
クリックターン・デザイン・システムズ・  
インコーポレイテッド  
QUICKTURN DESIGN SYSTEMS, INC.  
アメリカ合衆国95131カリフォルニア州サ  
ンノゼ、ウエスト・トリンブル・ロード55  
番  
(72)発明者 パツツ マイケル アール  
アメリカ合衆国オレゴン州 97212 ポー  
トランド エヌ イー アラミーダ 3336  
(74)代理人 100064344  
弁理士 岡田 英彦 (外3名)  
最終頁に続く

(54)【発明の名称】 電気的に再構成可能なゲートアレイを用いて論理構成を構築する方法

(57)【要約】

【課題】 電気的に再構成可能なゲートアレイを用いて論理構成を構築する方法を提供する。

【解決手段】 複数の電気的に再構成可能なゲートアレイ(ERCGA)論理チップは、再構成可能な相互接続を介して相互に接続されている。そして、大規模デジタル回路網の電気的表現は、相互接続チップ上で一時的に実際に動作するハードウェア形態を探るよう変換される。再構成接続により、相互接続チップ上に実現されたデジタル回路網は随時変更される。これによって、システムは、シミュレーション、プロトタイピング、実行、計算を含む種々の目的に適合される。再構成可能な相互接続は、相互接続機能専用のERCGAチップにより構成されている。各相互接続ERCGAは、複数の相互接続チップの全てではないが少なくとも一つのピンに接続されている。



【特許請求の範囲】

【請求項1】 第1及び第2の電気的に再構成可能なゲートアレイ(ERCGA)を設ける工程と；ブールのロジックゲートから成る基本要素を具え、第1デジタルロジック回路網を表している第1入力データ及び、前記基本要素を相互接続する回路網を設ける工程と；前記第1入力データを、第1及び第2部分に分割する工程と；分割された第1データの第1部分を、第1ERCGAに供給し、これによって表現される前記第1ロジック回路網の第1部分が、第1ERCGAにおいて実際に動作形態を探るようにする工程と；前記分割された第1データの第2部分を、第2ERCGAに供給し、これによって表現される前記第1デジタルロジック回路網の第2部分が、第2ERCGAにおいて実際に動作形態を探るようにする工程と；前記第1及び第2ERCGAを相互接続し、前記第1入力データで特定される少なくとも一個の回路網が、前記第1及び第2ERCGAの間に及ぶようにする工程と；ブールのロジックゲートから成る基本要素と、前記基本要素を相互接続する回路網とを具えていことを除き、前記第1デジタルロジック回路網と全く無関係な、第2デジタルロジック回路網を表現している第2入力データを供給し、前記第1及び第2デジタルロジック回路網が同一のERCGAにおいて実際の動作形態を探るようにする工程と；前記第2入力データを、第1及び第2部分に分割する工程と；分割された第2データの第1部分を、第1ERCGAに供給し、これによって表現される前記第2デジタルロジック回路網の第1部分が、前記第1ERCGAにおいて実際に動作形態を探ることができるようになる工程と；前記分割された第2データの第2部分を、第2ERCGAに供給し、これによって表現される前記第2デジタルロジック回路網の第2部分が、前記第2ERCGAで実際に動作形態を探ることができるようになる工程と；前記第1及び第2ERCGAを相互接続し、前記第2入力データで特定される少なくとも一個の回路網が、前記第1及び第2ERCGAの間に及ぶように構成する工程；とを具えることを特徴とする方法。

【請求項2】 前記区分化の工程を、自動的に行うこと特徴とする請求項1に記載の方法。

【請求項3】 シミュレートされる第1デジタルロジック回路網を規定する工程と；前記第1デジタルロジック回路網を表現している第1入力データを発生させる工程と；前記第1入力データを、第1及び第2部分に分割する工程と；前記分割された第1データの前記第1部分を、前記第1ERCGAに供給し、このようにして表現される前記第1デジタルロジック回路網の第1部分が、前記第1ERCGAにおいて、実際に動作する形態を探ることができるようになる工程と；前記分割された第1データの前記第2部分を前記第2ERCGAに供給し、このようにして表現される前記第1ロジック回路網の第

2部分が、前記第2ERCGAにおいて実際に動作する形態を探ができるようになる工程と；前記第1及び第2ERCGAを相互接続し、前記第1入力データで特定される少なくとも1個の回路網が、前記第1及び第2ERCGAの間に及ぶようにする工程と；第1シミュレーションで使用する一組の第1刺激をソフトウェアで規定する工程と；前記刺激を規定するソフトウェアを、第1電気信号に変換する工程と；前記入力信号としての第1電気信号を、相互接続された前記第1及び第2ERCGAに供給する工程と；相互接続された前記第1及び第2ERCGAから、第1出力電気信号を受信する工程と；前記第1電気出力信号を、ソフトウェアの形態に変換する工程；とを具え、且つ、前記第1デジタルロジック回路網とは別の第2デジタルロジック回路網において、上記工程を繰り返す工程；を具えている請求項1に記載のシミュレーション方法。

【請求項4】 合成ツールを使用して、第1コンピュータプログラムを、該第1コンピュータプログラムで表現されるアルゴリズムに従って動作する第1デジタルロジック回路網を表現している一組の第1入力データに変換する工程と；前記第1入力データを、前記第1及び第2部分に分割する工程と；前記分割された第1データの前記第1部分を、前記第1ERCGAに供給し、このようにして表現される前記第1デジタルロジック回路網の第1部分が、前記第1ERCGAにおいて、実際の動作形態を探ができるようになる工程と；前記分割された第1データの前記第2部分を前記第2ERCGAに供給し、このようにして表現される前記第1デジタルロジック回路網の第2部分が、前記第2ERCGAにおいて、実際の動作形態を探ができるようになる工程と；前記第1及び第2ERCGAを相互接続し、前記第1入力データが特定する少なくとも一個の回路網が、前記第1及び第2ERCGAの間に及ぶようにする工程と；前記第1プログラムの入力データに対応する第1刺激信号を発生させる工程と；前記第1刺激信号を、入力信号として、相互接続された前記第1及び第2ERCGAに供給する工程と；相互接続された、前記第1及び第2ERCGAから、前記第1プログラムの出力データに対応する第1出力電気信号を受信する工程；とを具え、且つ、前記第1デジタル回路網とは別の第2デジタル回路網において、上記工程を繰り返す工程；を具えている請求項1に記載の計算方法。

【請求項5】 前記合成ツール使用工程が：設計部合成ツールを使用して、前記第1コンピュータプログラムを、データバス及び有限状態マシンコントローラから成り、前記第1プログラムによって表現されるアルゴリズムに従って作動するシステムの表現に変換する工程と；ロジック合成ツールを用いて、前記設計部合成ツールによって提供されるデータバス及び有限状態マシンコントローラの表現を一組の第1入力データに変換する工程；

とを具えることを特徴とする請求項1に記載の方法。

【請求項6】 前記ERCGAが、各々、複数のピンを具え、且つ、前記相互接続の工程が：少なくとも一個の追加のERCGAを設け、再構成可能な相互接続としての役割を果たすようにする工程と；前記再構成可能な相互接続ERCGAの各々を、前記第1及び第2ERCGAのピンのすべてではないが、少なくとも一個に接続する工程；とを具えていることを特徴とする請求項1に記載の方法。

【請求項7】 (a)N個のERCGAを設ける工程と；(b)前記第1入力データを、N個の部分に分割する工程と；

(c)分割されたデータの各部分を、対応するERCGAに供給し、このようにして表現される前記デジタルロジック回路網の前記部分が、前記ERCGAにおいて実際の動作形態を探ることができるようになっている工程と；(d)N個のERCGAを相互接続し、ERCGAの各々を、少なくとも一個の他のERCGAに接続し、且つ、前記入力データで特定される回路網の各々を実現する工程と；

(e)前記第2入力データに対して、(b)、(c)及び(d)の工程を繰り返す工程；とを更に具えていることを特徴とする請求項1に記載の方法。

【請求項8】 ER CGAが各々複数のピンを具え、且つ、前記相互接続の工程が：少なくとも一個の追加のER CGAを設け、再構成可能な相互接続として役割を果たすようにする工程と；前記再構成可能な相互接続ER CGAの各々を、前記複数であるN個のER CGAのピンのすべてではないが、少なくとも一個に接続する工程；とを具えていることを特徴とする請求項7に記載の方法。

【請求項9】 前記再構成可能な相互接続ER CGAを、前記N個の各々のER CGAの全てではないが、少なくとも一個に接続する工程を、更に具えていることを特徴とする請求項8に記載の方法。

【請求項10】 順次、というよりはむしろ单一のプロセスで：前記入力データを分割する工程と；これによって、対応して必要となる相互接続の特徴を識別する工程；とを実行する工程を更に具え、これによって、前記入力データを、このような方法で分割し、対応して必要な相互接続を簡易化することを特徴とする請求項9に記載の方法。

【請求項11】 シード基本要素を決定し、他の基本要素をこれに加えることによって前記入力データを分割し、これによって、基本要素のクラスタを構成する工程を更に具え；前記基本要素の各々が、多数のピンを具え；前記クラスタの構成が、クラスタに割り当てられていない各基本要素の有効な機能を評価する工程を具え；前記有効な機能が、最も多数のピンを有する基本要素に、最大の初期利益をもたらすことを特徴とする請求項

10に記載の方法。

【請求項12】 シード基本要素を決定するとともに、他の基本要素をこっらに加えることによって、前記入力データを分割し、これによって、基本要素のクラスタを構成する工程と；相互接続の限界に至るまで、基本要素をクラスタから取り除く工程とを更に具え；前記分割の工程が、相互接続の限界を超えて、基本要素をクラスタに加える方法を備えていることを特徴とする請求項10に記載の方法。

【請求項13】 前記相互接続の工程が、更に：2個のER CGA間に及んでいる回路網が：回路網のルートを決定することのできる複数の対象となる再構成可能な相互接続ER CGAを試験する工程と；少なくとも部分的に、ER CGAがすでに用いられている利用の程度に基づき、このような相互接続ER CGAの各々を介してのルート決定の適性を評価する工程；とを具えていることを特徴とする請求項10に記載の方法。

【請求項14】 (a)N個のER CGAを設ける工程と；

(b)回路形態的に、前記N個のER CGAを、規則的な多次元アレイに配置し、これによって相対的に隣接するER CGAを決定する工程と；

(c)直接的に隣接するER CGAを相互接続する工程と；

(d)前記第1入力データを、N個の部分に分割する工程と；

(e)前記分割されたデータの各部分を、対応するER CGAに供給し、このようにして表現される前記デジタルロジック回路網の前記部分が、前記ER CGAにおいて実際に動作する形態を探ができるようにする工程と；

(f)非隣接ER CGA間に介在するER CGAを介して相互接続を確立することで、非隣接ER CGAを相互接続し、必要されるN個のER CGAを相互接続し、前記第1データで特定される回路網を実現する工程と；

(g)前記第2入力データに対して、工程(d)、(e)及び(f)を繰り返す工程；とを更に具えていることを特徴とする請求項1に記載の方法。

【請求項15】 自動ルーティング方法を用いて、非隣接ER CGAを相互接続するのに、介在するどのER CGA及びピンを用いるかを決定する工程を更に具えていることを特徴とする請求項14に記載の方法。

【請求項16】 前記デジタルロジック回路網中の故障を、前記入力データによって表現することで、故障をシミュレートする工程を更に具えていることを特徴とする請求項1に記載のフォールトシミュレータに関する方法。

【請求項17】 電気設計自動化システムと接続している相互接続されたER CGAを作動させる工程を更に具えていることを特徴としている請求項1に記載の方法。

**【請求項18】** 前記相互接続されたERCGAを、メモリ回路に結合させる工程と、前記回路と接続している前記相互接続されたERCGAを動作させる工程とを更に具える請求項1に記載の方法。

**【請求項19】** 前記双方向回路網を、双方向性相互接続を用いて、積の和に変換することによって、双方向性回路網を相互接続する工程を更に具えることを特徴とする請求項1に記載の方法。

**【請求項20】** ER CGAにおいて積を加算する工程を更に具えていることを特徴とする請求項1に記載の方法。

#### 【発明の詳細な説明】

##### 【0001】

**【発明の分野】** 本発明は、電気的に再構成可能なゲートアレイロジック素子(ERCGA)の使用に関するとともに、複数のこののようなロジック素子の相互接続を具え、ラージデジタル回路網の電気的な表現を、シミュレーション、プロトタイピング、実行及び/又は演算のための相互接続されたロジック素子を用い、一時的に実際動作するハードウエアの構成に変換する方法にも関するものである。

##### 【0002】

**【発明の背景及び概要】** 説明の便宜上、本出願では、リアライザシステム(Realizer System)として本発明を説明する。辞書には、後述するシステムの簡単な説明的名称が欠けている。リアライザシステムは、ハードウエアとソフトウエアとを具えており、シミュレーション、プロトタイピング、実行又は演算のために、ラージデジタルロジック回路網の表現を、一時的に実際動作するハードウエアの構成に変換する。(数個の最も広く利用することのできる構成可能なロジックデバイスを用いることによって、極めて多くのロジック機能を具えている場合、デジタルロジック回路網をラージとみなすこととしている。)(専らではなく)一般的に用いられている適切な用語を簡単に再検討することで、以下の説明を、より理解し易いものとすることができる。何かを“実現する”とは、それを実際又は現実のものとすることである。デジタルロジック回路網又は設計の全体又は一部を実現するということは、それを永久的に組み立てることなく、実際の動作を構成することである。“入力設計部”とは、実現されるべきデジタルロジック回路網を表している。この入力設計部は、計測デバイス又はユーザ指定実デバイスと同様に、組合せロジック及び記憶を表している基本要素と、基本要素の入出力ピン間の接続を表現している回路網とを具えている。ロジックチップ又は相互接続チップを“構成”するとは、その内部ロジック機能及び/又は相互接続を特定の方法で配置することである。入力設計部のためのリアライザシステムを構成するとは、その内部ロジック機能及び相互接続を、入力設計部に応じて配置することをいう。設計を“変換”す

るとは、その表現を構成データのファイルに変換することであり、これをリアライザハードウエアに直接用いると、設計部を実現することができる。設計部を“作動”させると、入力設計部の表現に応じて構成されたリアライザハードウエアを実際に作動させることである。

“相互接続”とは、ピンがワイヤで相互接続されているかのように、多数のチップI/Oピン間にロジック信号を通過させるための再構成可能な手段である。“バス”とは、部分的にクロスバー相互接続におけるロジックチップとクロスバーチップとの間の又は部分的クロスバーの階層におけるクロスバーチップ間の組込相互接続ワイヤの中の一つをいう。“バスナンバ”は、一对のチップを相互に接続している多くのバスの中から特定のバスを特定するものである。“ER CGA”とは、電気的に再構成可能なゲートアレイ、すなわち組合せロジックの捕捉及び入力/出力接続(及び付加的な記憶装置)のことであり、その機能及び相互接続は、単に電気信号を供給することにより何回にも亘って構成及び再構成される。

“ロジックチップ”とは、リアライザシステムにおける入力設計部の組合せロジックと、記憶装置と、相互接続とを実現するのに用いられるER CGAである。“Lチップ”とは、ロジックチップ、又はロジックチップの場合に取り付けられるメモリモジュール、又はユーザ指定のデバイスマジュールである。“相互接続チップ”とは、I/Oピン間の任意の相互接続を実行することができる電気的に再構成可能なデバイスである。“ルーティングチップ”とは、直接相互接続、又はチャンネルルーティング相互接続に用いられる相互接続チップのことである。“クロスバーチップ”とは、クロスバー相互接続又は部分的クロスバー相互接続に用いられる相互接続チップである。“Xチップ”とは、Lチップを相互に接続する部分的クロスバー中のクロスバーチップである。

“Yチップ”とは、階層部分的クロスバー相互接続の第2レベルにおけるクロスバーチップであり、Xチップを相互に接続している。“Zチップ”とは、階層部分的クロスバー相互接続の第3レベルにおけるクロスバーチップであり、Yチップを相互に接続している。“ロジックボード”とは、ロジックを伝達するプリント回路ボード及び相互接続チップである。“ボックス”とは、1以上のロジックボードを具えているカードケージのような物理的格納装置である。“ラック”とは、1以上のボックスを具えている物理的格納装置である。“システムレベル相互接続”とは、個々のチップより大きなデバイスを相互接続することであり、ロジックボード、ボックス、ラック等である。“ロジックセルアレイ”又は“LCA”とは、ER CGAの特定の例であり、Xilinx Inc.その他で製造され、好適な例に用いられるものである。

“構成可能なロジックブロック”又は“CLB”は、構成可能なロジックの小さなブロック及びフリップフロップであり、LCAにおける組合せロジック及び記憶を表す

している。“設計メモリ”とは、入力設計部において特定されるメモリ機能を実現するメモリデバイスである。

“ペクトルメモリ”とは、多くの刺激信号をリアライザシステムに供給及び／又はリアライザシステムにおいて実現される設計部からの多くの応答信号を捕捉するのに用いられるメモリデバイスである。“スティミュレータ(stimulator)”とは、刺激信号を実現された設計部の個々の入力端子に供給するのに用いられるリアライザシステム中のデバイスである。“サンプラー”とは、実現された設計部の個々の出力端子からの応答信号を捕捉するのに用いられるリアライザシステム中のデバイスである。“ホストコンピュータ”とは、リアライザシステムのホストインターフェイスハードウエアが接続されている慣用のコンピュータシステムであって、リアライザのハードウエアの構成及び動作を制御するものである。

“EDAシステム”とは、電気自動設計システム、すなわち電気設計部を作成、編集、及び分析するのに用いられるコンピュータベースのツールに関するシステムである。ホストEDAシステムとは、リアライザシステムを応用する多くの場合において、入力設計ファイルを発生させるものである。

【0003】シングルラージ設計部を保持するのに十分な容量を有する再構成可能なゲートアレイを用いれば、リアライザ技術の多くは不要である。しかしながら、2つの理由からこのことは決して実現することができない。まず第1に、ERCGAのロジック容量は、同じ製造技術を用いて製造された物理的に同一のサイズの再構成不可能な集積回路と同じではない。再構成のための機能は、チップのかなりのスペースをとる。ERCGAは、信号を導くスイッチングトランジスタと、これらのスイッチを制御するための記憶トランジスタとを有しており、ここで、再構成不可能なチップは金属トレースを具えている。そして、ERCGAは、これらのトランジスタをロジックとして用いることができる。再構成可能なチップに必要とされる規則性は、リソースが実際の設計では用いられていないということである。その理由は、規則的なロジック構造の配置及びルーティングが、利用可能なゲートを100%用いることができないからである。ERCGAを製作するためのこれらの計数の結合は、再構成することのできないチップのロジック容量の約1/10である。目下のところ、実際の実行では、ERCGAに要求される最大ゲート容量は9,000ゲートである(Xilinx XC 3090)。同様の技術を用いて製造された、現在ほぼ慣用となっている集積回路では、100,000ゲートロジック容量以上が与えられる(モトローラ)。第2に、通常10~100或いはそれ以上の多くの集積回路を用いて、多くのプリント回路ボード上にリアルデジタルシステムを設けることはよく知られていることである。ERCGAのロジック容量が、大規模集積回路と同等である場合であっても、ほとんど

のデジタルシステムを実現するのに、依然としてこのようなチップを多く用いることとなる。しかし、ERCGAのロジック容量は、大規模集積回路と同等ではないため、更に多くのチップが必要となる。最終的に、リアライザシステムがシングル大規模チップのロジック容量を有するためには、リアライザシステムが10のオーダのERCGAを有している必要がある。このリアライザシステムが、このようなチップの容量を有しているためには、100個のオーダのERCGAが必要とされる。このことは、特殊な製造技術とは無関係に必要とされることに注意しなければならない。チップ当たりのトランジスタの数を2倍にすることによる製造工程によって、ERCGAの能力を2倍にすると、再構成不可能なチップの容量は2倍となり、従って、設計サイズ全体も同様に2倍となる。

【0004】これらの理由によって、有効なリアライザシステムを開発するためには、電気的に再構成可能な方法で、数百個のERCGAを相互接続できるようにするとともに、設計を数百個のERCGAの構成に変換できるようにする必要がある。本発明は、ERCGAそれ自体の技術にまで及ぶものではなく、多くのERCGAからリアライザシステムを開発するための技術にのみ関するものである。ERCGA技術は、いかにしてリアライザシステムを開発するかを示してはいない。その理由は、それが別の問題だからである。一つのICチップの全体を構成している再構成可能な相互接続ロジック素子のためのERCGA技術は、多くを相互接続するのに適用できない。いずれか一方の方向に信号を通すスイッチングトランジスタによって、ERCGA相互接続を容易に達成することができる。一つのチップ全体に亘って障壁が存在しないので、相互接続に利用する多数の通路が存在する。チップが小さいので信号のディレイも小さい。多くのERCGAを相互接続するのはむずかしい。その理由は、ICパッケージング及びプリント回路ボードを伴っているからである。利用することのできるピンの数が制限されているということは、相互接続のための通路の数が制限されているということである。チップの信号の入出力は、(例えば増幅しながら)アクティブピンバッファを介して行われなければならない。アクティブピンバッファは、一方向にのみ信号を送ることができる。これらのバッファ及び回路基板はトレースによって、一つのチップによって生ずるディレイよりも大きなディレイが生ずるリアライザシステムの相互接続技術によって、ERCGAとは全く別の方法で、これらの問題を解決する。最終的に、ERCGA技術では、設計を多くのチップの構成に変換する必要はない。リアライザシステムの相互接続は、ERCGA内の相互接続とは全く異なるものであり、相互接続を決定及び構成する全く別な方法が必要とされる。所定の時間に利用することのできる迅速且つ緻密なシリコン技術を用いて、ERCGA

を開発する。(1ミクロンSRAM技術を用いて、1989 Xilinx XC3000 LCAを開発する。)これは、実現される迅速且つ緻密なシステムと同一の技術である。ERCGAは汎用のものであり、再構成可能な相互接続を具えているので、現行のゲートアレイや慣用のチップほど緻密ではないファクタを具えている。リアライザシステムは、ERCGAのレベルより高い汎用性及び再構成可能性に対するサポートを反復する。従って、リアライザシステムは、現行の緻密なシステム程緻密ではなく、常に概略的には、1のオーダーの一定のファクタとなっている。ボードレベルのリアライザシステムは、ゲートアレイを実現し、ボックスレベルのリアライザシステムは、ボード及び大規模慣用チップを実現する。更に、ラックレベルのリアライザシステムは、ボックスを実現する。設計構造は、パッケージングの影響を強く受ける。I/Oピン幅: VLSIチップレベルでは、100個のI/Oピンは容易に開発でき、200ピンは開発が困難であるが、用いないこともなく、400ピンに関しては、ほとんど開発されていない。ボードレベルでは、これらの数字は概して2倍となっている。ロジック密度: ボードが、しばしば5個のVLSIチップを具えており、10個のVLSIをえることも可能であるも、20個のVLSIをえることは一般的ではない。単にその理由は、実際のボードの最大値が約200平方インチに制限されているからである。ボックスは、通常10~20ボードを具えており、時には40ボードを具えている。相互接続密度: 2次元ワイヤの平面を数枚用いることができる場合、モジュールは、完全にチップ及びボード上で相互接続される。しかし、背面が本質的に一次元的な場合には、ボックスレベルにおいて、それほど完全に相互接続されているわけではない。これらパッケージングの制約は、有用なリアライザシステムにおいて見られるシステム構造にかなり影響を及ぼす。リアライザシステムでは低密度であるがために、実現される設計部では、单一のロジックチップは、通常、唯一のモジュールを構成する。一つのボードにおけるロジックチップの複合体によって、1つ又は2つのVLSIチップを実現する。リアライザボードのボックスは、設計部において、单一のボードを実現する。更に、ボックスのラックは、設計部のボードのボックスを実現する。従って、リアライザシステムのボードレベルのロジック及び相互接続の複合体は、設計部のVLSIチップと同じロジック・相互接続容量並びにI/Oピン幅を有している必要がある。リアライザシステムのボックスは、設計部のボードと同じロジック・相互接続容量及びI/Oピン幅を必要とし、リアライザシステムのラックは、設計部のボックスと同じロジック・相互接続容量を必要としている。

## 【0005】

## 【発明の実施の形態】内容一覧表

## 1. リアライザハードウエアシステム

- 1.1 ロジック及び相互接続チップ技術
- 1.2 相互接続アーキテクチャ
  - 1.2.1 最も近い隣接相互接続
  - 1.2.2 クロスバー相互接続
  - 1.2.3 相互接続トライステート回路網
  - 1.2.4 システムレベル相互接続
- 1.3 特定目的の構成素子
  - 1.3.1 設計部メモリ
  - 1.3.2 刺激及び応答
  - 1.3.3 ユーザ指定デバイス
- 1.4 構成
- 1.5 ホストインターフェース
- 2. リアライザ設計変換システム
  - 2.1 設計部リーダ
  - 2.2 基本要素変換
  - 2.3 分割化
  - 2.4 ネットリストティング及び相互接続
- 3. リアライザの応用
  - 3.1 リアライザロジックシミュレーションシステム
    - 3.1.1 ロジックシミュレーション、刺激及び応答の伝送システム
    - 3.1.2 ロジックシミュレーション、オペレーティング・カーネル
    - 3.1.3 リアライザロジックシミュレーションシステムの使用
    - 3.1.4 2状態以上の実現化
    - 3.1.5 リアライザの遅延に関する表現
    - 3.1.6 リアライザシミュレーションから他のシミュレーションへの状態の伝送
  - 3.2 リアライザフォールトシミュレーションシステム
  - 3.3 リアライザロジックシミュレータ評価システム
  - 3.4 リアライザプロトタイピングシステム
    - 3.4.1 実現された仮想記憶
  - 3.5 リアライザ実行システム
  - 3.6 リアライザ生産システム
  - 3.7 リアライザ計算システム
- 4. 好適例
  - 4.1 ハードウエア
  - 4.2 ソフトウエア
- 【0006】1. リアライザハードウエアシステム**
- リアライザハードウエアシステム(図1)は:
  - 1) 1) 少なくとも二つのロジックチップ(通常、数十個又は数百個)及び
  - 2) 付加的に、メモリモジュール、ユーザ指定のデバイスマジュールのような、1以上の特定目的のための構成要素を具えている1セットのしチップを、
  - 2) I/Oピンを相互接続可能なすべてのしチップに接続されている構成可能な相互接続と、
  - 3) ホストコンピュータ、構成システム及びデータ入出

力又は制御のためのホストが使用することのできるすべてのデバイスに接続されたホストインタフェースと、  
4) ホストインタフェース、すべての構成可能なしチップ及び相互接続デバイスに接続された構成システムとを具えている。このハードウエアを、通常、ロジックボード、ボックス及びラックの形態で実装し、ホストコンピュータに接続する。このハードウエアは、ホストコンピュータの制御の下で作動する。

#### 【0007】1.1 ロジック及び相互接続チップ技術

##### 1.1.1 ロジックチップデバイス

デバイスが、アライザロジックチップとして役立つためには、このデバイスが電気的に再構成可能なゲートアレイ (ERCGA) でなければならない：

- 1) デバイスは、容量制限を条件として、組合せロジック（及び付加的な記憶装置）を具えているデジタルロジック回路によって構成することができなければならぬ。
- 2) デバイスは、その機能及び内部相互接続を、電気的に何回でも、種々の論理回路に適合するように構成することができるという点において、電気的に再構成可能でなければならない。
- 3) デバイスは、特定の回路網又は特定する I/O ピンとは無関係に、デジタル回路網で I/O ピンを自由に接続し、アライザシステムの部分クロスバー、又は直接相互接続が首尾よくロジックチップを相互接続できなければならない。

ロジックチップとして好適な、再構成可能なロジックチップの一例としては、ロジックセルアレイ (Logic Cell Array (LCA)) がある ("The Programmable Gate Array Handbook", Xilinx Inc., San Jose, CA, 1989)。このロジックチップは、Xilinx Inc. その他で製造されている。このチップは、構成可能なロジックブロック (Configurable Logic Block (CLB)) の2次元配列を具えている。この2次元配列は、再構成可能な I/O ブロック (I/O B) で囲まれているとともに、CLB と I/O B との間の行と列とに配置されたセグメントを配線することによって相互接続されている。各 CLB は、数個の入力端子と、ロジック機能を再構成することのできる多重入力組合せロジック回路網と、1以上のフリップフロップと、CLB 内の再構成可能な相互接続によって連結することができる 1以上の出力端子とを具えている。各 I/O B を再構成し、チップの入力バッファ又は出力バッファとすることができます。更に、各 I/O B を外部 I/O ピンに接続する。配線したセグメントを CLB、I/O B 及び、お互いに接続することによって、再構成可能なバストランジスタ及び相互接続マトリックスを介し、CLB、I/O B 及びセグメント間に、相互接続を形成する。すべての再構成可能な機能を、チップのシリアルシフトレジスタにおけるビットで制御する。従って、LCA は "構成ビットパターン" のシフトによって完全

に構成される。構成に要する時間は 10~100マイクロ秒である。Xilinx 2000 及び 3000 シリーズの LCA は、64~320 の CLB を具えており、56~144 の I/O B を使用することができる。LCA ネットリスト (netlist) 変換ツール（以下にて示す）は、ロジックを CLB に作成し、CLB と I/O B との間の相互接続を最適にしている。CLB と I/O ピンとの間の相互接続を構成することによって、LCA は、特定の回路網又は特定する I/O ピンとは無関係に、デジタル回路網で I/O ピンを自由に接続することができる。アライザシステムを好適に具体化するには、LCA デバイスをそのロジックチップとして用いる。ロジックチップとして好適な他の種類のアレイとしては、ERA、すなわち電気的に再構成可能なアレイがある。市販されているものとしては plessey の ERA60K のタイプのデバイスがある。これは、構成ビットパターンを部分的に RAM にロードすることで構成される。ERA を 2 入力 NAND ゲートのアレイとして構成する。RAM の値に応じて、2 入力 NAND ゲートの各々を独立に互いに相互接続する。ERA は、ゲート入力端子の一連の相互接続通路への接続を切換える。ERA 60100 は、約 1,000,000 個の NAND ゲートを具えている。アレイの周辺の I/O セルは、ゲート入力端子及び／又は出力端子を外部 I/O ピンに接続するのに用いられる。ERA ネットリスト変換ツールは、ロジックをゲートに作成し、ゲート間の相互接続を最適にするとともに、以下に示すように、構成ビットパターンファイルを出力する。ゲートと I/O セル間の相互接続を構成可能にすることによって、ERA は、特定の回路網又は特定する I/O ピンとは無関係にデジタル回路網を用いて I/O ピンを自由に接続することができる。ロジックチップとして用いることのできる、更に他の種類の再構成可能なロジックチップとしては、EEP LD、すなわち、電気的に消去可能で、プログラム可能なロジックデバイス ("GAL Handbook", Lattice Semiconductor Corp., Portland, OR, 1986) がある。商用のものとしては、ラティス・ジェネリック・アレイ・ロジック (Lattice Generic Array Logic (GAL)) がある。これは、ビットパターンを、ロジック構成の部分にロードすることで構成される。GAL は、出力フリップフロップを有する、積の和のアレイとして構成されており、その構成は、Xilinx LCA よりも汎用性を有していない。GAL によって、I/O ピンを、すべての入力ビン間及びすべての出力ビン間のロジックに接続せずには、部分的に要件を満足している。GAL は、10~20 個のビンを有しており、比較的小さな構造となっている。しかし、GAL はアライザロジックチップとして用いられる。プログラム可能なロジックチップについての詳細は、米国特許第 4,642,487 号、第 4,700,187 号、第 4,796,216 号、第 4,722,084 号、第 4,724,307 号、第 4,758,

985号、第4,768,196号及び第4,786,904号明細書において説明されている。ここでは、これらの明細書の内容を説明に用いている。

【0008】1.1.2 相互接続チップデバイス  
相互接続チップは、クロスバー相互接続の全体及び一部に用いるクロスバーチップと、直接相互接続及びチャンネルルーティング相互接続に用いるルーティングチップとを具えている。デバイスが、アライザ相互接続チップとして役立つためには：

1) デバイスは、直ちに、任意に選択されたI/Oピンのグループ間で多くのロジック相互接続を形成し、各相互接続は、その入力I/Oピンからロジック信号を受信するとともに、これらの信号を出力I/Oピンに供給できなければならない。

2) デバイスは、その相互接続を電気的に規定するという点において、再構成可能でなければならず、多くの種々の設計に適合できるように再規定できなければならない。

3) クロスバー加算技術を用いて、部分的クロスバー相互接続におけるトライステート回路網を相互接続する場合、デバイスは、加算ゲートを具体化できなければならない。(クロスバー加算技術を用いない場合には、トライステート・セクションにて説明するように、他のトライステート技術を用いる。)

上述したERCGAデバイス、すなわち、LCA、ERA及びEEPROMは、これらの要件を満足しており、相互接続チップとして用いられる。相互接続チップにロジックをほとんど或いは全く用いない場合、ほとんどのデジタル回路網を構成することのできる機能は、データを直接入力ピンから出力ピンへと送ることができる。LCAは、アライザシステムを好適に具体化する際、クロスバーチップとして用いられる。TI 74AS 8840デジタルクロスバースイッチ(SN 74 AS 8840 Data Sheet, Texas Instruments, Dallas, TX, 1987)、すなわち、通常電話スイッチに用いられる交差点スイッチデバイスを、相互接続チップとして用いることができる。ところで、これらのクロスバースイッチデバイスを、作動中、動的に変化する構成に応用する場合、データ伝送スピードに匹敵する再構成スピードが得られる。この再構成スピードは、ERCGAデバイスの構成スピードよりも速い。この結果、このようなクロスバースイッチデバイスは、ERCGAよりも高価且つ低容量であり、あまり望ましくないアライザ相互接続チップを作成することとなってしまう。

【0009】1.1.3 ER CGA構成ソフトウェア  
構成ビットパターンは、ユーザ指定に従ってERCGAにロードされ、そのロジックを構成する。ユーザが単独でロジックを構成するのは非現実的である。従って通常ERCGA装置を製造することによって、ネットリスト変換ソフトウェアツールが得られる。このツールは、ネ

ットリストファイルに具わっているロジック仕様を、構成ビットパターンファイルに変換する。アライザ設計変換システムは、ERCGAのコンピュータメーカーによって提供されるネットリスト変換ツールを用いている。アライザ設計変換システムが、設計部において、ネットリスト変換ツールを読み出して変換し、ロジックチップに分割し、さらに相互接続を決定すると、各ロジックに対するネットリスト及びアライザハードウエアにおける相互接続チップを発生させる。ネットリストファイルとは、すべての基本要素(ゲート・フリップフロップ及びI/Oバッファ)及び、單一ロジックチップ又は相互接続チップで構成されるこれらの相互接続のリストのことである。アライザ設計変換システムは、ERCGAネットリスト変換ツールを各ネットリストファイルに供給し、各チップの構成ファイルを得る。ロジックチップ及び相互接続チップとして種々のデバイスを用いる場合には、適切なツールを用いる。構成ファイルは、2進ビットパターンを具え、これはERCGAデバイスにロードされると、ネットリストファイルの仕様に応じてファイルを構成する。ERCGAデバイスは、これらのファイルを、永久に記憶され且つ作動前に設計部のアライザシステムを構成するのに用いられる单一バイナリーファイルに収集する。アライザ設計変換システムは、ツールのERCGAコンピュータメーカーによって規定されるネットリスト及び構成ファイルフォーマットに準拠している。

【0010】1.1.4 ネットリスト変換ツール

アライザシステムを好適に具現化するために、ロジックチップ及びクロスバーチップとしてLCAを用いているので、Xilinx LCAネットリスト変換ツール及びそのファイルフォーマットをここで説明する。Xilinx製のLCAネットリスト変換ツール(XACT)によって、ネットリスト形式のロジック回路網が与えられるとともに、自動的にロジック素子がCLBに作成される。I/Oピンの位置に関し、最適の方法でロジック素子を構成し、内部相互接続を容易にすることができます。従って、このツールは、いかにしてロジックチップの内部相互接続を構成するかを解明し、その出力結果としての構成ファイルを作成する。LCAネットリスト変換ツールは、単に個々のLCAを変換するだけであって、ロジック回路網が大き過ぎて單一のLCAに適合できない場合には障害が生じる。Xilinx LCAネットリストファイルをXNFファイルと称する。これはアスキーテキストファイルであり、各々の基本要素に対する1セットのXNFファイル中のステートメントを具え、基本要素、ピン及びこれらのピンに接続される回路網の名称を特定する。これらの回路網は、LCAネットリスト中で相互接続されており、入力設計部の回路網ではなく、LCA基本要素を接続している。XNFファイル中のいくつかのファイルは、設計変換の結果、入力設計部の回路網に直接対

応しているが、他のファイルは対応していない。例えば、これらは 'I\_1781' と称する、2入力XORゲートを特定するためのXNFファイル基本要素ステートメントであり、前記2入力XORゲートの入力ピンを、「DATA0」及び「INVERT」と称する回路網に接続し、その出力ピンを、「RESULT」と称する回路網に接続している：

```
SYM,I_1781,XOR
PIN,O,O,RESULT
PIN,1,I,DATA0
PIN,O,I,INVERT
END
```

入力及び出力 I/O ピンバッファ（入力のための IBUF 及び出力のための OBUF）は、I/O ピンを特定するためのステートメントを付加することで、同様にして特定される。これらは、OBUFに対する基本的なステートメントであり、これによって、「RESULT」を「RESULT\_D」と称する回路網を介して I/O ピン「P57」において駆動させる：

```
SYM,IA_1266,OBUF
PIN,O,O,RESULT_D
PIN,I,I,RESULT
END
```

EXT,RESULT\_D,O,LOC=P57  
Xilinx LCAを、RBTファイルと称する。これは、アスキーテキストファイルであり、構成される部分を識別するヘッダステートメントと、動作のための部分を構成するのに用いられるバイナリービットパターンを特定する '0' 及び '1' のストリームとを具えている。

#### 【0011】1.2 相互接続アーキテクチャ

実際の場合、大規模入力設計部を実現するためには、多くのロジックチップを使用しなければならないため、リアライザのロジックチップを再構成可能な相互接続に接続しなければならない。この相互接続によって、必要とされているように、設計部中の信号が、分離ロジックチップ間を流れる。この相互接続は、電気的相互接続及び／又は相互接続チップの結合を具えている。リアライザシステムにおいて大規模設計部を実現するためには、トータルで幾万もの I/O ピンを有するロジックチップが相互接続によって供給されなければならない。相互接続は、システムサイズが大きくなるにつれて経済的に拡張可能であり且つ容易なものであるとともに、入力設計部を幅広く確実に構成することができ、更に高速であり、ロジックチップ間の遅延を最小にすることができる。現実の設計部における回路網単位のピンの平均数は、設計部のサイズとは無関係な小さな数であるため、接続するロジックチップのトータル数が増加するにつれて、優れた相互接続のサイズ及びコストも直接的に増加するはずである。設計部の容量が増大するにつれて、用いる特定ロジックチップ容量、ロジックチップの数及びロジック

チップピンの数も直接的に増大する。従って、設計部の容量とともに、優れた相互接続のサイズ及びコストも直接的に変化する。2クラスの相互接続構造を説明する：隣接相互接続を第1セクションで説明し、クロスバー相互接続を次のセクションで説明する。最も近い隣接相互接続は、ロジックチップと、2次元、3次元又はそれ以上の次元の面に従って、混合及び構成された相互接続によって構成される。最も近い隣接相互接続では、ゲートアレイチップの行列編成又はプリント回路基板をロジックチップの編成にまで拡張している。所定の入力設計部の構成は、チップ及びボードを開発する場合に用いられるのと同様の配置及びルーティングプロセスによって決定される。クロスバー相互接続は、相互接続されているロジックチップとは異なる。クロスバー相互接続は、伝送及び演算に用いられるクロスバーの多入力多出力編成に基づくものであり、平面的に構成することができる。最も近い隣接相互接続は、ロジック容量が大きくなるにつれて大きくなるが、ルーティング通路が密集するにつれて大規模相互接続はゆっくりとなり、また、構成を決定することが困難且つ不確実なものとなる。単なるクロスバーは、その直接性のために極めて高速であり、その規則性のために構成が容易であるが、すぐに非実用的な大きさとなってしまう。部分的なクロスバー相互接続は、ほとんどの直接性と、単なるクロスバーの規則性とを保持するが、設計部容量の増大とともにのみ直接的に増大し、理想アライザ相互接続を実現している。実際のアライザシステムでは、図示した以外の相互接続を用いることはできるが、部分的クロスバーを好適な具体例に用いる。この使用は、この明細書全体を通して類推される。

#### 【0012】1.2.1 最も近い隣接相互接続

##### 1.2.1.1 直接相互接続

直接相互接続では、相互接続チップを用いずして、直接すべてのロジックチップを、規則的なアレイにおいて相互に接続する。この相互接続は、単にロジックチップ間の電気的接続から成っている。ロジックチップの相互接続は、多くの異なるパターンを形成することができる。一般的に、一つのロジックチップのピンをグループ毎に分割する。従って、すべてのロジックチップにおいて各ピンのグループを、他のロジックチップの同様なピンのグループ等に接続する。各ロジックチップは、單に一組のすべてのロジックチップ、すなわち、物理的な意味において、つまり、少なくともアレイの接続形態という意味において、最も近い隣接ロジックチップとだけ接続する。1以上のロジックチップにロジックを接続するすべての入力設計部回路網を、相互接続チップとしての機能を果たす他のロジックチップに、これらのロジックチップを直接接続する場合には直接接続し、又は、一連の他のロジックチップを介して接続し、チップの実現するロジックのいずれかに接続することなしに、ロジック信号

を一方の I/O ピンから他方の I/O ピンへ伝達する。このようにして、いかなる所定のロジックチップも、設計部ロジックの共有に加えて、一方のチップから他方のチップへ相互接続信号を伝達するように構成されている。相互接続機能を実行することのできない非ロジックチップリソースを、アレイの周辺で、専用ロジックチップに接続又は、ロジックピンを相互に接続しているピンに正接させ接続している。図 2 に示す特定の例では、行及び列の 2 次元格子中に配置されたロジックチップを具えており、その各々のチップは、メモリを有する隣接ロジックチップに北側、南側、東側及び西側で接続されている 4 つのピンのグループと、I/O と、周辺で接続されたユーザ指定のデバイスとを具えている。この相互接続を、ここで説明した 2 次元のものから、より高次元のものへと拡張することができる。一般的に、

'n' を次元の数とする場合、各々のロジックチップのピンを、 $2 * n$  個のグループに分割する。各々のロジックチップは、規則的な形態で、 $2 * n$  個の他のロジックチップと接続している。他の変更も同様であるが、ピンのグループの大きさは等しくない。ロジックチップの数及び各々のピンの数に基づき、ビングループサイズの寸法及びセットを選択し、2 のロジックチップ間に介在するロジックチップの数を最小にするとともに、各々直接隣接しているチップ対の間を充分に相互接続し、回路網がこれら二つのチップだけにつながるようにしている。相互接続のためのロジックチップをいかに構成するかを決定するには、ロジックのためのチップをいかに構成するかを決定しなければならない。ロジックチップを構成するためには：

1) 基本要素変換のセクションで述べたように、設計部のロジックをロジックチップの基本要素形態に変換する。

2) ロジックチップにおけるロジック基本要素を、区分化及び配置する。ロジックチップのロジック容量内に各々適合しているサブ回路網に、設計部を区分化することに加えて、サブ回路網をお互いにに対して配置し、必要とされる相互接続の量を最小とする。ゲートアレイ又は標準セルチップ自動区分化及び配置ツール ("Gate Station Reference Manual", Mentor Graphics Corp., 1987)において用いられているような、標準区分化及び配置ツール方法を用いて、いかにしてロジック基本要素をロジックチップに割り当てるかを決定し、相互接続を達成する。このことは、定評のある方法であり、ここでは、これ以上の説明を省略する。

3) ロジックチップ間の相互接続を配線する。すなわちロジックチップの中から特定のロジックチップ及び I/O ピン相互接続を選定し、ゲートアレイ又は標準セルチップ自動ルーティングツール ("Gate Station Reference Manual", Mentor Graphics Corp., 1987) のような標準ルーティングツールを用い、いかにしてチップを構

成するかを決定し、相互接続を達成する。これは定評のある方法であるため、いかにしてこの方法を相互接続の問題に適用するかを除き、ここではこれ以上の説明を省略する。ロジックチップのアレイを、シングルラージゲートアレイ又は標準セルチップと同じ方法で取り扱う。各々区分化されたロジックサブネットワークは、大規模ゲートアレイロジックマクロに対応しており、相互接続されたロジックチップ I/O ピンは、ルーティングに用いる配線チャネルを規定している。特に、各々のルーティング方向には、相互接続されたロジックチップ I/O ピンの各グループ毎のピンと同数のチャネルを具えている。ロジックチップ間では多くの相互接続が可能であるので、多くのルーティング層によって、ゲートアレイのチャネル制約を取り除くのと同様の方法を用いて、ルーティングを制約することなく、各末端部において同じチャネルを用いる。

4) ルーティングの過剰（ルーティング処理の間或るポイントにおいてチャネルをルーティングすることができない場合）のために相互接続を行うことが不可能な場合、調整された基準を用いて、設計部を再区分化及び／又は再配置し、過剰を除去し、再び相互接続を試みる。

5) ビーの回路網がどのチャネルを使用するかについての仕様を、特定のルーティングチャネルと I/O ピンとの間の対応に応じて、個々のロジックチップに対するネットリスト及び、ロジックチップ信号に対する特定ピンの役割に変換する。ロジック基本要素の仕様とともに、I/O ピン仕様及びロジックチップ内部相互接続の形態の仕様を、各ロジックチップ毎のネットリストファイルに送出する。

6) ロジックチップネットリスト変換ツールを用い、各ロジックチップ毎の構成ファイルを発生させるとともに、これらを組合せ、入力設計のための最終的なライザ構成ファイルを作成する。

#### 【013】1.2.1.2 チャンネルルーティング相互接続

チャンネルルーティング相互接続は、直接相互接続の変形である。この場合、チップは、ロジックとしては用いられず単に相互接続を行う相互接続チップと、専らロジックとして用いられるロジックチップとに分割される。特に、ロジックチップは、お互いを直接接続するのではなく、その代わりに、ただ単に相互接続チップを接続するだけである。その他すべての点において、チャンネルルーティング相互接続は、直接相互接続方法に従って作成されている。1 以上のロジックチップ及び回路網は、ルーティングチップと称する一連の相互接続チップを構成することによって相互接続する。ルーティングチップは、これらのロジックチップを接続させるとともに、お互いを接続させ、ロジックチップ I/O ピン間にロジック的接続が確立される。このことは、構成可能な「回路基板」に用いられる。チャンネルルーティング相互接続

を、一例として2次元としている：すなわち、図3に示されているように、ロジックチップは、行及び列の形態で配置されており、その周囲はルーティングチップによって完全に囲まれている。アレイを、全てがルーティングチップで構成されている行と、ロジックチップ及びルーティングチップで交互に構成されている行とで交互に構成する。このようにして、ロジックチップの周囲には、行方向及び列方向に、切目なくルーティングチップが配置されている。各チップのピンを4つのグループ、すなわち、“北側、東側、南側、西側”と称する4つのエッジに分割する。各々のチップのピンを、4つの最も近い隣接チップに格子状に接続する。すなわち、北側のピンを北側に隣接するチップの南側ピンと接続し、東側ピンを東側に隣接するチップの西側ピンに接続する。以下同様である。このモデルは、上記例の2次元より大きな次元にまで拡張することができる。一般的には、「 $n$ 」を次元の数とする場合、各ロジックチップのピンは、 $2 * n$  個のグループに分割される。各ロジックチップは $2 * n$  個の隣接チップに接続している。アレイの中心においては各々のロジックチップに対して $(2 * n - 1)$  個のルーティングチップが存在する。ロジックチップとルーティングチップとの特徴に基づき、このチャネルルーティングモデルの一般化を同様にして用いる。ロジックチップのピンを数個のグループに分けることができる。ルーティングチップのピンも数個のグループに分けることができる。但し、ルーティングチップのピンのグループ数が、ロジックチップのピンの数と同じである必要はない。ロジックチップとルーティングチップとは、同数のピンを具えている必要はない。ロジックチップとルーティングチップとの規則的なアレイであり、且ついかななる所定のロジックチップであっても、それが最も近い隣接チップの限定セットとだけ接続されている限り、これらの変形が適用される。ロジックチップ間の相互接続を、ロジックチップを介してではなく、相互接続チップを介してのみ配線するということを除いて、直接相互接続に用いると同様の方法を用い、ロジックチップをいかに構成するかを決定するとともに、相互接続チップをいかに構成するかを決定する。回路網のロジック信号は、相互接続を完成させるのに必要なルーティングチップと同数のルーティングチップを介して流れれる。各々のルーティングチップによって信号の伝搬が遅れるので、信号が流れるルーティングチップが増えれば増える程、相互接続を介しての信号伝搬遅れ時間は長くなる。ルーティングの必要条件を最小とできるように、ロジック設計部を分化するととともに、それぞれの区分を特定のロジックチップに配置するのが一般的には望ましい。ルーティングが過剰であり、相互接続を行うことができない場合、調整された基準を用いて設計部を再分化及び／又は再配置し、再び相互接続を行う。このサイクルは、必要な限り繰り返される。

## 【0014】1.2.2 クロスバー相互接続

## 1.2.2.1 完全クロスバー相互接続

クロスバーとは、制約なくピンを他のピンと接続することができる相互接続アーケテクチャーである。これは、コンピュータ及び通信デバイスのスイッチング回路網において、メッセージを通信するために広く用いられている。完全なクロスバーとして構成される相互接続は、すべてのロジックチップピンに接続するとともに、いかなるピンの相互接続の組合せであっても構成可能な相互接続によって、いかなる入力設計及びロジックチップ分化であっても、直接的に相互接続を達成することができる。その理由は、いかなるピンであっても、いかなる他のピンに直接接続することができるからである。しかし、多くのロジックチップを相互接続することのできる実用的な単一デバイスは存在しない。例えば、好適例のロジックボードは、各々接続すべき 128 個のピンを有するロジックチップを 14 個具えている。合計で 1792 ピンとなり、実用的なシングルチップの容量をはるかに超えている。実用的な相互接続チップ及びデバイスからクロスバーを構成することができる。これらを構成することによって、I/O ピン間に任意の相互接続を実現することができる。クロスバー相互接続の場合、これらをクロスバーチップと称する。実用的なクロスバーチップからクロスバー相互接続を構成する一般的な方法は、一つのクロスバーチップを用いて、一つのロジックチップピンをクロスバーチップが有するピンと同数の他のロジックチップピンと相互接続する。図4は、わかり易くするために極めて簡略化した一例を示している。各々 8 個のピンを有する 4 個のロジックチップを相互接続する。各々 9 個のピンを有するクロスバーチップを用いる。3 個のクロスバーチップの最も左側の列によって、ロジックチップ4 のピン H をロジックチップ1、2 及び 3 のピンと接続する。次の列によって、ピン G 等をロジックチップ4 のピン G に接続する。同じロジックチップに関しては、内部で接続できることから、ピンと他のピンとを接続する必要はない。クロスバーチップの隣接する 8 個の列は、ロジックチップ3 とロジックチップ1 及び 2 を相互接続している。ロジックチップ4 は含まれていない。その理由は、ロジックチップ4 のピンを、クロスバーチップの最初の 8 個の列によって、ロジックチップ3 のピンに接続しているからである。最後の 8 個の列はロジックチップ1 と 2 を相互接続している。合計 48 個のクロスバーチップを用いる。入力設計に基づく二つの回路網は、相互接続された状態を示している。回路網 A は、ロジックチップ1 のピン D によって駆動され、ロジックチップ4 のピン B によって受信される。1 で示されているクロスバーチップは、これらのピンの両方を接続しており、ロジックチップ1 のピン D から受信し、受信したものを、チップ4 のピン B に伝達する。このようにして、ロジック接続を構成する。回路網 B は、

ロジックチップ2のピンFによって駆動され、ロジックチップ3のピンG及びロジックチップ4のピンGによって受信される。クロスバーチップ2は第1相互通接続を行い、クロスバーチップ3は第2相互通接続を行う。一般的に、必要とされるクロスバーチップの数を予測することができる。各々P1個のピンを有するL個のロジックチップが存在し、且つ、1個のロジックチップピンをできる限り多くの他のロジックチップピンと各々接続できるようになっているクロスバーチップがPx個のピンを具えている場合：

1) ロジックチップ1の中の一つのピンを、2からまでのロジックチップの(L-1)P1個のピンに接続し

$$4) X = (L-1) P 1^2 / (Px-1) + (L-2) P 1^2 / (Px-1) + \dots \\ \dots + P 1^2 / (Px-1) \\ = (L-2-L) P 1^2 / 2 (Px-1)$$

クロスバーチップの数Xは、ロジックチップの数の二乗とロジックチップ毎のピンの数の二乗とをかけ算したものが増加するにつれて、増加する。好適実施例のロジックボード（各々128個のピンを有する14個のロジックチップ）は、各々129個のピンを有する11648個のクロスバーチップ又は各々65個のピンを有する23296個のクロスバーチップを必要としている。クロスバーパーフェクションは、有用なアライザシステムに用いるには、大規模且つ高価なものであり、非実用的である。

#### 【0015】1.2.2.2 完全クロスバーハードウェア接続

相互接続すべき設計回路網の数がロジックチップピンの合計数の1/2を決して超えることができないということを認識することによって、クロスバーパーフェクションの大きさを小さくすることができる。クロスバーハードウェア接続は、ロジック的には2つのクロスバーによって構成されており、その各々は、すべてのロジックチップピンを相互接続回路網（ICN）と称する1セットの接続回路網に接続しており、ロジックチップピンの総数の1/2に番号を付している。1セットのロジックチップピンを、1セットのICNに接続するクロスバーチップが1セットのICNから、これらのピンへ接続を戻すことができる（相互接続チップの一般性の撤回）ため、この相互接続をクロスバーチップで構成することもできる。各々のクロスバーチップは、1セットのロジックチップピンを1セットのICNと接続している。図5は、図4にて示したものと同一の4個のロジックチップを相互接続した一例を示す図である。各々8個のピンを有するクロスバーチップを用い、16個のICNを設ける。32個のクロスバーチップの各々は、4個のICNを用いて4個のロジックチップピンを接続する。回路網Aを、クロスバーチップ1によって相互接続し、ロジックチップ1のピンDから受信し、受信したものをICNに伝達するように構成する。また、回路網Aを、クロスバーチップ2によって相互接続し、前記ICNから受信し、ロジッ

クチップ4のピンBを駆動する。このようにしてロジック接続を確立する。回路網Bは、ロジックチップ2のピンFによって駆動され、クロスバーチップ4を介してロジックチップ3のピンGで受信されるとともに、クロスバーチップ5を介してロジックチップ4のピンGで受信される。好適実施例のロジックボード（各々128個のピンを有する14個のロジックチップ）のクロスバーハードウェア接続は、各々128個のピンを有する392個のクロスバーチップ、又は各々64個のピンを有する1568個のクロスバーチップを必要とする。クロスバーハードウェア接続では、使用的なクロスバーチップの数は単なるクロスバーよりも少ない。クロスバーハードウェア接続の大きさは、ロジックチップの数と、ロジックチップピンの総数との積が増加するにつれて、大きくなる。これは、ロジックチップ数の二乗に達する。これは、純粹なクロスバーよりは優れているも、依然として望まれる直接スケーリングではない。

【0016】1.2.2.3 部分的クロスバーパーフェクション

ロジックチップそれ自体によって、クロスバーが開発できない付加的な自由度を提供することができる。その理由は、ロジック回路網の所定の入力又は出力を、いかなるI/Oピンをも用いることができるよう構成することができるからである。すなわち、特定の回路網とは無関係に構成するからである。この自由度によって部分的クロスバーパーフェクションをすることができる。これが、自由度をロジックチップの定義中に明示している理由である。部分的クロスバーパーフェクションでは、各ロジックチップを分割するのと同様にして、各ロジックチップのI/Oピンを適切なサブセットに分割する。各クロスバーチップのピンを、各ロジックチップの各々から同じピンのサブセットに接続する。このようにして、クロスバーチップ‘n’を、各ロジックチップのピンのサブセット‘n’に接続する。サブセットと同数のクロスバーチップを用いる。各々のクロスバーチップは、サブセットのピンの数とロジックチップの数とをかけ算した数と同数

のピンを有している。各ロジックチップ／クロスバーチップ対を、各サブセット中のピンと同数のバスと称するワイヤで相互接続する。各クロスバーチップを各ロジックチップのピンと同一のサブセットに接続しているため、一つのロジックチップのピンにおける一つのサブセット中のI/Oピンから、もう一つのロジックチップのピンにおける別のサブセット中のI/Oピンへの相互接続を構成することはできない。このことは、相互接続すべき各々のロジックチップのピンの同一のサブセットから、I/Oピンを用い、各々の回路網を相互接続し、適宜にロジックチップを構成することによって避けられる。回路網に接続されるロジックチップ中に構成されるロジックチップに割り当てることのできるいかなるI/Oピンを用いても、ロジックチップを構成できるようするため、一方のI/Oピンは、他方のI/Oピンと同様のものである。一般的なパターンを図6に示す。この図において、ロジックチップとクロスバーチップとを接続している各々のラインは、ロジックチップピンのサブセットを示している。各クロスバーチップをすべてのロジックチップのピンのサブセットに接続する。逆に言えば、このことは、各ロジックチップをすべてのクロスバーチップのピンのサブセットに接続していることを示している。これらの例では、クロスバーチップの数がロジックチップの数と等しい必要はない。好適な実現例では、このようなことは言えない。図7は、図1及び図2と同一の4個のロジックチップを相互接続している例を示している。各々8個のピンを有する4個のクロスバーチップを用いる。各クロスバーチップは、各ロジックチップにおいて同一の2個のピンを接続している。クロスバーチップ1をロジックチップ1～4の各々のピンA及びBに接続する。クロスバーチップ2をすべてのピンC及びDに接続し、クロスバーチップ3をすべてのピンE及びFに接続するとともに、クロスバーチップ4をすべてのピンG及びHに接続する。前記例の設計回路網Aでは、ロジックチップ4のピンBにおいて受信が行われるが、回路網Aをロジックチップ1のピンDにおけるドライバに相互接続することのできるクロスバーチップは設けられていない。いかなるI/Oピンであっても、回路網Aを受信するロジックチップ4において構成されるロジックに割り当てることができるので、ピンCはピンBと同様であり、これを、他の回路網に用いることができる。結果的に、回路網Aは代わりにピンCによって受信され、クロスバーチップ2を構成することで、相互接続を達成する。設計回路網Bは、ロジックチップ3のピンG及びロジックチップ4のピンGによって受信されるが、この回路網Bを、ロジックチップ2のピンFにおけるドライバと相互接続できるクロスバーチップは設けていない。回路網Bは、代わりにピンHによって駆動され、クロスバーチップ4を構成することで相互接続を達成する。好適な実施例では、部分的クロスバー相互接続

を用いている。このロジックボードは、各々128個のピンを有する14個のロジックチップを具えており、各々56個のピンを有する32個のクロスバーチップによって相互接続されている。ロジックチップピンを、各々4個のピンを有する32個の適切なサブセットに分割するとともに、各クロスバーチップのピンを、各々4個のピンからなる14個のサブセットに分割する。クロスバーチップ'n'を各ロジックチップピンのサブセット'n'に接続し、各ロジックチップ／クロスバーチップ対を4個のバスによって相互接続する。すべてのクロスバー相互接続の中で、部分的クロスバーの使用するクロスバーチップの数は最小である。部分的クロスバーのサイズは、ロジックチップピンの総数が増大するに従って直接的に増大する。このことは、ロジックチップの数、更にはロジック容量に直接関連するものであり、望ましい結果である。これを使用するのは比較的容易なことである。その理由は、部分的クロスバーが規則的であり、そのバスをテーブルで表現することが可能であり、更に特定の相互接続をいかにして決定するかは、単にバスの最適なペアをテーブルで検索だけだからである。

**【0017】1.2.2.4 部分的相互接続の機能**  
 部分的なクロスバー相互接続は、完全クロスバーが処理できるのと同数の回路網を処理することはできない。ソースロジックチップにおいて、他の回路網に対して一つだけ用いられないI/Oピンが、行先ロジックチップに至るバスが同様にすべて使用されているクロスバーチップとつながっている場合、部分的クロスバー相互接続は回路網を相互接続することができない。行先ロジックチップは利用可能なピンを有しているが、このような場合、I/Oピンはソースピンがすべて使用されている他のクロスバーにつながっており、これらのクロスバーから最初へ戻る途はない。部分的なクロスバー相互接続の容量はそのアーキテクチャに依存している。一つの極端な例では、一つのロジックチップピンサブセットだけが存在し、一つのクロスバーがすべてのピンに作用する。このような装置は、最大の相互接続能力を有するが、非現実的な完全クロスバー接続である。他の極端な例では、サブセットサイズは、ロジックチップのピンと同数のクロスバーチップを有するものである。これは、すべての部分的クロスバーを相互接続する能力は最小であるが、依然として充分な能力を有している。極端な例の間では、各クロスバーチップが、2、3又はそれ以上の各ロジックチップのピンに作用するアーキテクチャとなっている。クロスバーチップ数が減少し、クロスバーチップ毎のピン数が増加するにつれて、より多くの相互接続能力が利用可能となる。この変更は、以前より注目されていることではあるが、種々のクロスバーチップが作用するために、相互接続することのできない未使用ロジックチップが存在するということによるものである。クロスバーチップの数がより少なくなるとともに、

幅が広くなるにつれて、このような変更は、一般的には生じなくなる。完全クロスバーは、すべてのピンを定義されたいかなるパターンにも相互接続することができる。他の簡単な一例として、各々3個のピンを有する、参考番号1、2及び3を付した3個のロジックチップが存在し、且つ、4個の回路網A、B、C及びDが存在するものと仮定する。回路網Aはロジックチップ1及び2を接続し、回路網Bはロジックチップ1及び3を接続し、回路網Cはロジックチップ2及び3を接続し、回路網Dはロジックチップ1及び2を接続する。図8a及び8bにおいて、各ロジックチップのピンをセルの行として示しており、各クロスバーチップはクロスバーチップが作用するピン数と同数の列をカバーしている。第1のケース(図8a)では、各々1つのピンの幅を有する参考番号1、2及び3で示される3つのクロスバーチップを使用する。各クロスバーチップは、ただ1つの回路網を接続できるにすぎない。すなわち、クロスバーチップ1は、回路網Aを相互接続するようプログラムされており、クロスバーチップ2は回路網Bを接続し、クロスバーチップ3は回路網Cを接続する。未使用ロジックチップピンを利用することもできるが、回路網Dは未接続のままである。第2のケース(図8b)では、3個のピン幅を有する完全クロスバーを、クロスバーチップ1、2及び3の代わりに用いて回路網Dを接続することができる。種々の部分的クロスバー相互接続アーキテクチャによって相互接続することのできる入力設計回路網の数に基づき、アナリシス及びコンピュータモデル化を行う。結果的には、ナロウな部分的クロスバーは、ワイドなもの又は完全クロスバーと、ほぼ同じ程度に効果的である。例えば、好適実現例(14個の128ピンロジックチップ、32個の56ピンクロスバーチップ)のロジックボードに用いられている相互接続は、完全クロスバーの有する相互接続容量の98%を示している。モデリングにおいて想定されているように、実際の入力設計部が、利用可能なマルチロジックチップ回路網及びロジックチップピンの数を最大限に必要とすることは極めて稀である。実際の設計部は、ほぼ常に最大限よりも少ない回路網を有しており、上述のモデルの部分的クロスバーによって接続される回路網の平均個数よりも少ない回路網、通常かなり少ない回路網を有している。このことは、ロジック容量を保持するのに絶対的に必要であるより多くの、小さな比率のロジックチップピン及びクロスバーチップを用いることで保障され、このようにしてナロウな部分的クロスバーによって、実際の設計部がほとんど常に相互接続可能であることを保障している。ナロウなクロスバーチップは、ワイドなクロスバーチップよりもかなり小さく、それ故、ピン単位では高価なものではない。

**【0018】1.2.3 相互接続トライステート回路網部分的クロスバー相互接続のようなアクティブ相互接続**

と実際のワイヤのようなパッシブ相互接続との重要な相違は、アクティブ相互接続が無方向性であるということである。実際、各々の相互接続は、チップ境界において金属及びトレースによって結合する一連のドライバ及びレシーバを具えている。通常の回路網は一つのドライバを有し、アクティブ相互接続で固定されたドライバ及びレシーバを用いて作成される。実際に設計する回路網の幾つかはトライステートであり、図9に示すような幾つかのトライステートドライバを有している。任意の所定時間において、最大で1個のドライバが活動状態であり、その他のドライバは回路網に対して高インピーダンスの状態にある。(伝播遅延を無視すると)すべてのレシーバは常に同一のロジックレベルにある。

#### 【0019】1.2.3.1 トライステート回路網を積の和に置き換える

全回路網を同一のロジックチップへと分化する場合、回路網を、積の2ステート加算、すなわち、図10にて示すような、等価なマルチプレクサで置き換えることができる。アクティブイネーブルが存在しない場合、この回路網は低ロジックレベルを出力する。時々、トライステート回路網は、受動的に高ロジックレベルにされる。必要ならば、各ANDゲートへのデータ入力を反転するとともに、最終加算ゲート出力を反転することで、イネーブルできない場合、積の和は高ロジックレベルを出力する。1以上のイネーブルがアクティブの場合、結果はすべての入力信号の加算(OR)となる。このことは容認される。その理由は、異なるデータで1以上がイネーブルされる場合、実際のトライステートドライバの動きを規定していないからである。図11a及び11bは、2種類の回路網：すなわち“フローティングハイ(floating high)”及び“フローティングロー(floating low)”を示している。リアライザシステムの設計変換システムの基本要素変換部分は、和又は積の置き換えを行う。その理由は、好適実現例のロジックチップ及びクロスバーチップとして用いられるXilinx LCAが、すべての回路網におけるトライステート駆動を一様に維持していないからである。トライステートドライバは、LCAの境界におけるすべてのI/Oピンを利用することができます。XC3000シリーズLCAの内部で利用できるトライステートドライバの数は制限されており、チップ間を結んでいる内部相互接続の数が小さいことから、各ドライバはCLBの一つの行にだけ作用する。トライステート回路網をこれらの相互接続に作成することによって、分割化に他の制約が加わり、LCAにおけるCLBの配置の自由度を制約することとなる。同時に、回路網毎に少数のドライバとトライステート接続することは、ある種のゲートアレイライブラリセルにおいては一般的なことである。結果的に、このように複雑となることを避けられる場合には、積の和の置き換えを行う。設計部を多重ロジックチップに分割することにより、トライ

ステート回路網を2以上のロジックチップに亘って分割する場合、積の和を局的に用いて、ロジックチップと回路網との各々の接続をロジックチップ境界における单一のドライバ及び/又はレシーバに引き下げる。図12は、2つのドライバ及び2つのレシーバを一緒に示している。2つのドライバは局的な積の和によって構成され、このようにして、单一のドライバ接続のみを要件として積の総和を与える。同様にして、单一のレシーバ接続を、2つのレシーバに亘って構成する。このようにして、アクティブ相互接続がなされる。トライステート回路網におけるいかなる所定の点においても、駆動“方向”はどのドライバを活動状態とするかに依存している。このことは、パッシブ相互接続と何ら差異はないが、アクティブ相互接続では、能動的に正しい方向に駆動及び受信が行われるように、アクティブ相互接続を構成しなければならない。構成によっては、このことを部分的クロスバー相互接続によって達成することができる。

#### 【0020】1.2.3.2 ロジック加算構成

3つの構成は、回路網を積の和に引き下げることに基づいている。ロジック加算構成は、図13に示されているように、加算ORゲートを、関連するロジックチップ中に配置する。積を発生させるANDゲートを駆動ロジックチップで構成する。この駆動チップの各々は出力チップを必要としている。各受信ロジックチップは入力ピンを必要とし、特別な場合、加算ロジックチップは各ドライバ用の入力ピンと出力ピンを必要とする。これらの接続はすべて無方向性であり、各チップの境界に亘ってOBUF/IBUF対を具えている。ドライバのピンが高価であるので、駆動ロジックチップを加算チップとして選択する必要がある。簡単のため、図中には関連するLCA基本要素をすべて示してはいない。駆動入力ピンから受信出力ピンに至る実際のバスは、ドライバのCLB及びOBUFと、クロスバーのIBUF/OBUFと、加算チップのIBUF、CLB及びOBUFと、クロスバーの他のIBUF/OBUFと、レシーバのIBUFとを具えている。クロスバーIBUF遅延をIxとし、ロジックCLB遅延をC1等とした場合、全データ通路遅延は、 $C1 + O1 + Ix + Ox + I1 + C1 + O1 + Ix + Ox + I1$ である。特別な場合、すなわちロジックチップをXC3090-70とし、クロスバーをXC2018-70とした場合、遅延の総計の最大は、82nsに内部LCA相互接続遅延を加えたものに等しい。同じ遅延がイネーブルにも当てはまる。nビットバスを相互接続する場合、バスの各ビットに対してすべてのイネーブルは同様のものである。この特別な構成において、駆動チップ中に積のゲートを設け、イネーブルを内部に設け、バスに必要なピンを1ビットの場合のピン数のちょうどn倍とする。

#### 【0021】1.2.3.3 クロスバー加算構成

クロスバー加算構成において、加算ORゲートをクロスバーに配置する。この場合、図14に示されているようなロジックを利用することのできるLCAのようなERCGAを用いて、いくつかの例のクロスバーチップを具体化している。各ロジックチップは、ドライバとしての1ピン及び/又はレシーバとして1ピンを必要としている。クロスバーチップは、加算ゲートのための1以上のロジック素子を有している必要がある。クロスバー加算とは、ロジックチップ中のロジックをすべて用い、クロスバーチップ中のロジックを全く用いず実行するということではない。重要な相違点は、クロスバーチップに配置されたロジックが、実現される設計ロジックの一部ではないということである。ロジックは、単に、トライステート回路網の相互接続機能を達成する役割を果たすに過ぎない。この構成では、2以上の駆動ロジックチップを設けた場合、従来よりも使用するピンの数が少ない。nビットバスはピンのn倍も作用する。全遅延は、 $C1 + O1 + Ix + Cx + Ox + I1$ 、すなわち、最大51nsにまで引き下げられる。イネーブルも同じ遅延を有する。

#### 【0022】1.2.3.4 双方向性クロスバー加算構成

図15にて示されているように、クロスバーチップの加算ゲートを、双方向性クロスバー構成における双方向性接続を介して連絡している。ORゲートへのバスをイネーブルできるANDゲートを、クロスバーチップ中に設け、フィードバックラッチャップバスをブロック化する。ロジックチップは、レシーバのみの場合には1つのピンを必要とし、ドライバ又は、レシーバ及びドライバ双方の場合には2つのピンを必要とする。この2つのピンの一方は信号自体のためのものであり、もう一方はイネーブル出力のためのものであり、これはクロスバーチップに用いられる。1ビット以上の信号イネーブルを行い、マルチビットバスによって、相互接続を減少させることができる。同一のクロスバーチップを介して、1ビット以上のバスを相互接続する場合、1セットのイネーブル信号をチップに供給する必要がある。好適なLCA例においては、全データ通路遅延を、 $O1 + Ix + Cx + Ox + I1$ 、すなわち、42nsとしている。積の和が、2以上のCLBを用いる場合、付加的な $Cx(10ns)$ を加えることができる。イネーブル遅延は出力遅延O1ではなくて、OBUFZのイネーブル遅延E1に依存している。

#### 【0023】1.2.3.5 双方向性クロスバートライステート構成

これまで説明したすべての構成を同一のハードウエアで使用することができることに注意しなければならない。基本要素の配置及び相互接続のみが変化する。最終的に、クロスバーチップが内部トライステートを維持する場合、図16にて示すように、双方向性クロスバートライ

イステート構成によって、クロスバーチップ内部の実際のトライステート回路網が二重になる。各ロジックチップの実際のトライステートドライバは、クロスバーチップのバスにそのまま伝えられる。このことは、イネーブル信号の相互接続によって達成されるはずである。ドライバがイネーブルされていない場合、クロスバーチップのバスを駆動させる。LCAをクロスバーチップとして用いる場合、上記内部トライステート相互接続を用いる。特に、ロジックチップの境界に I B U F / O B U F Z 対、クロスバーチップ境界に各ロジックチップの他の I B U F / O B U F Z 対、各ロジックチップに T B U F を設け、内部トライステートラインを駆動する。各イネーブルは O B U F 及び I B U F を通過する。イネーブルされたデータバス遅延の総計は、 $O_1 + I_x + T_x + O_x + I_1$ 、すなわち、39 ns (XC3030-70 LCAクロスバー) であり、イネーブル遅延の総計は、 $O_1 + I_x + T_E x + O_x + I_1$ 、すなわち 45 ns である。以前のように、2ビット以上のバスを、同一のクロスバーチップを介して相互接続する場合、1セットのイ

ネーブル信号のみを、チップに供給する必要がある。この構成では、クロスバーチップを LCA 又は内部トライステート機能を有する E R C G A とする必要があり、これら内部相互接続の利用を条件としている。特に、XC2000シリーズは、内部トライステートを有していないが、XC3000 パーツ是有している。XC3030は、80個の I/O ピン、10-0個の CLB 及び 20 個のトライステート駆動可能内部 'ロングライン' を有している。このようにして、最大で 20 個のこのようなトライステート回路網を、この構成中の一つのクロスバーチップによって相互接続し得る。これは、相互接続の限界となり得るが、いろいろな場合のほんの一部にすぎず、I/O ピンの限界を与えるものである。現在のところ、XC3030は XC2018 の 2倍高価である。ハードウエアにトライステート構成を用いる場合、他の構成は妨げとはならず同様に使用することができます。

**【0024】1.2.3.6 すべての構成の概要**  
このチャートは、構成を要約したものである。

	ロジック	クロスバー	双方向性クロスバー	双方向性クロスバー
	加算	一加算	一加算	トライステート
<u>ピン/ロジックチップ</u>	=駆動+受信	2	1データバス 1共有可能イネーブル	1データバス 1共有可能イネーブル
<u>双方向性</u>				
<u>駆動のみ</u>	第1チップ	1	1データバス	1データバス
	: 0			
	その他: 2			
<u>受信のみ</u>	第1非加算	1	1共有可能イネーブル	1共有イネーブル
	: 2			
	その他: 1			

遅延

(LCAクロスバーチップ: +LCA相互接続、70MHz LCAチップスピードであると仮定する)

データバス	82ns	51	42	39
イネーブル	82	51	46	45

チップ毎のリソース

(dはドライバの数)

駆動のみ	AND中に2個	AND中に2個	0	0
受信のみ	0	0	0	0
双方向性	AND中に2個	AND中に2個	0	0
クロスバー	0	OR中にd個	OR中にd個	d個のTBUF

明らかに、ロジック加算構成は有効ではない。クロスバー一加算は、かなり高速で、少數のピンを使用し、多くの場合シンプルである。双方向性クロスバー一加算は、依然わずかに高速であり、双方向性バスのピン数を減少させる可能性を有しているが、かなり複雑であり、クロスバーチップに限られたロジックリソースをより必要とする。トライステート構成によって、同様のピンを必要とし、及び遅延が生じるが、より高価なクロスバーチップを必要とする。

【0025】1.2.3.7 普通のクロスバー加算構成と双方向性クロスバー加算構成との比較  
最も効果的な構成の特性をテストすることは有益であ

る。以下の表は、普通及び双方向性のクロスバー一加算構成を用い、多數の双方向性回路網を相互接続し、且つ、LCAをクロスバーチップとして用いる場合に生じるクロスバーCLBの数とクロスバーCLB遅延とを示している。72個のI/Oピンを有し、100個のCLBを用いることのできる、XC2018-70クロスバーチップを用いるものと仮定する。各々のCLBは4個までの入力端子及び2個までの出力端子をサポートする。各ロジックチップがイネーブルを共有せず、回路網と双方向性の接続を有し、各テストにおいて、クロスバーチップの72個のI/Oピンすべてを用いるものと仮定する。

	クロスバー	双向性クロスバー
	加算	加算
18個の双向性回路網サービング	9 CLBs	18 CLBs
2個のロジックチップの各々	1 Cx	1 Cx
12個の双向性回路網サービング	12 CLBs	24 CLBs
3個のロジックチップの各々	1 Cx	2 Cx
9個の双向性回路網サービング	9 CLBs	27 CLBs
4個のロジックチップの各々	1 Cx	2 Cx
6個の双向性回路網サービング	12 CLBs	24 CLBs
6個のロジックチップの各々	2 Cx	2 Cx
3個の双向性回路網サービング	12 CLBs	30 CLBs
12個のロジックチップの各々	2 Cx	3 Cx

双向性クロスバー加算構成はCLBを2.5倍まで使用し、クロスバーチップがルートしない可能性、すなわち内部相互接続遅延が大きくなる可能性が増大する。しかし、依然として100個のCLBが使用可能となるまでには程遠い。代わりに、無方向性構成では、ロジックチップを特別なゲートを操作するのに好適な位置に設けるが、ロジックチップにかなり多くのゲートを設けている。双向性構成では、特別なCx遅延がしばしば生じそのスピードの利点を相殺してしまう。アライザシステムの好適例では、トライステート回路網のためのクロスバー加算構成を用いている。

#### 【0026】1.2.4 システムレベル相互接続

クロスバーチップによって相互接続された1セットのロジックチップのパッケージ化は、単一の回路ボードにおいて行うのが一般的である。システムが大規模すぎて单一のボードに適合しない場合には、システムレベル相互接続を用いて、ボードを同じように相互接続しなければならない。極めて広域のバス配線のために、2以上の回路ボードに亘る单一の部分的クロスバー相互接続及びロジックチップを拡張することは非実用的である。例えば、32個の128ビンロジックチップと64ビンのクロスバーチップとの複合体を、2つのボードに、それぞれ16個のロジックチップと32個のクロスバーとに分割するものと仮定する。複合体を、ロジックチップとクロスバーチップとの間で切断する場合、背面接続の対を介して、ロジックチップとクロスバーチップとの間に総計で4096個の相互接続を行う必要がある。これとは別の方法で、「中間」で、すなわち、16個のロジックチップ及び32個のクロスバーチップで各ボード毎に切断する場合、ボード1のロジックチップをボード2のクロスバーに接続するバス（16個のロジック×64個のビン=1024）及びその逆のバス（もう一つの1024、合計で2048）の全てをクロスさせなければならない。このような単一の相互接続では発展の可能性がないといった他の制約もある。定義によれば、各クロスバーチップは全てのロジックチップと接続している。特定数のロジックチップで構成する場合、それ以上を加えることができない。その代わりに、回路基板上に一緒にバ

ッケージ化することのできるロジックチップとクロスバーチップとの最大規模の複合体をロジックボードと称し、モジュールとして用い、これらの多数をシステムレベル相互接続によって接続する。2以上のボードに及ぶ相互接続回路網を提供するために、各ロジックボードのクロスバーチップの各々の付加的なI/Oピンに対して、ボードから離れた付加的な接続を行い、ロジックボードI/Oピンを確立する（図17）。ロジックボードI/Oピンに接続するのに用いられるクロスバーチップI/Oピンは、ボードのロジックチップI/Oピンと接続しているものとは別のものである。

#### 【0027】1.2.4.1 部分的クロスバーシステムレベル相互接続

ロジックボードを相互接続するための一つの手段では、部分的なクロスバー相互接続を再び適用し、各ボードをロジックチップの如く取り扱うとともに、付加的なクロスバーチップのセットを用いてボードのI/Oピンを相互接続する。この部分的なクロスバーは、ボックス中のすべてのボードを相互接続する。第3番目の相互接続を、ラック中のすべてのボックス等を相互接続することに再び適用する。終始同一の相互接続方法を適用することによって、概念の簡易化及びボードレベル相互接続との一体化といった利点が得られる。アライザシステム中のクロスバーチップを区別するために、ロジックチップを相互接続している部分的クロスバー相互接続をXレベル相互接続と称し、そのクロスバーチップをXチップと称する。ロジックボードを相互接続している相互接続をYレベル相互接続と称し、そのクロスバーチップをYチップと称する。Xレベル相互接続では、各ロジックボードの分割と同様の分割を用いて、各ロジックボードのI/Oピンを適切なサブセットに分割する。各Yチップのピンを、すべてのロジックボードの各々からのピンの同一のサブセットに接続する。サブセットと同数のYチップを使用する。各Yチップは、サブセットのピン数とロジックボードのピン数とをかけ算した結果と同数のピンを有している。同様にして、各Yチップの付加的なI/Oピンにボックスから離れた付加的な接続を行い、ボックスI/Oピンを構成する。この各々を、各ボックス

における分割と同様の分割方法を用いて適切なサブセットに分割する(図18)。各Zチップのピンを、各ボックスからのピンの同一のサブセットに接続する。サブセットと同数のZチップを用いる。各Zチップは、サブセットのピン数とボックスの数とのかけ算した結果と同数のピンを有している。部分的なクロスバー相互接続の附加的なレベルを構成する方法を、必要である限り継続する。入力設計部を分化する場合、ロジックチップのI/Oピンの数が限定されているように、ボード上及びボードから離れて配線されている回路網がボードのI/Oピンを介しており、ボードのI/Oピンの数の限定には一定の制約があることがわかる。多重ボックスアライザシステムにおいて、ボックスI/Oピンの数が限定されていること等がわかる。設計メモリのような特別の機能が付随する場合を除き、チップ、ボード又はカートリッヂに関する配置を最適にするための相互接続シグメントリーハンドルは必ずしも必要ではない。双方向性回路網及びバスを、クロスバー加算方法のようなトライステートセクションにおいて説明した方法のうちの一つを用いて具体化する。この方法は、回路網がつながっている相互接続階層の各レベルに亘って適用される。好適な具体例は次のとおりである。

- ・全ハードウエアシステムに亘る三つのレベルにおいて、部分的クロスバー相互接続を階層的に用いる。
- ・ロジックボードが、各々128個の相互接続されたI/Oピンを有する、最大14個のロジックチップと32個のXチップから成るXレベル部分的クロスバーとを具えている。各Xチップは、各々14個(全56個)のZチップへつながっている4個のバスと2個のYチップの各々へつながっている8個のバスとを具え、全体として、ボード毎に512個のロジックボードI/Oピンを具えている。
- ・1個のボックスが、各々512個の相互接続されたI/Oピンを有する1~8個のボードと64個のYチップから成るYレベル部分的クロスバーとを具えている。各Yチップは、ロジックボードI/Oピンを介して各ボードのXチップにつながっている8個のバスと1個のZチップにつながっている8個のバスとを具えており、合計でボックス当たり512個のボックスI/Oピンを具えている。
- ・ラッチは、各々512個の相互接続I/Oピンを有する。1~8個のボックスと64個のZチップから成るZレベルクロスバーとを具えている。各Zチップは、ボックスI/Oピンを介して、各ボックス中のYチップにつながっている8個のバスを具えている。

#### 【0028】1.2.4.2 双方向性バスシステムレベル相互接続

コンピュータハードウエアの実行には、双方向性バスの背面を用いての、ロジックボードのシステムレベル相互接続に関する他の方法が必要となる。以前と同様、各ロ

ジックボードにI/Oピンを設け、各ボードのI/Oピンを、バスワイヤによって、他のすべてのボードの同じI/Oピンに接続する(図19)。いくつかのロジックボードI/Oピンは無駄である。すなわち、設計回路網に対して相互接続不能である。その理由は、一つの設計回路網を相互接続するためのバスワイヤを使用することによって、バスを共有している他のすべてのボードのバスワイヤに接続されたピンを使用できなくしてしまうからである。相互接続することのできる設計回路網の最大数は、バスワイヤの数、すなわち、ボード毎のI/Oピンの数と等しい。特別の場合として、8個のボードにおいて、一つの共通相互接続バスを、各ボードの512個のI/Oピンを接続している512個のバスワイヤが共有している(図20)。2番目、3番目、4番目、5番目、6番目、7番目及び8番目ボードの回路網が異なる配線であると仮定すると、解析により、各ボードと接続している回路網の平均数は各々の場合512であり、すべての回路網において、ボード及びバスは1166個のピン幅まで許容されるはずであることがわかる。このことは、単一の背面のボード数を小さくし続けることによって部分的に軽減される。しかし一組の双方向性バスと相互接続されたボードの最大数は制限されている。大規模システムをより効果的に構成するためには、バスのグループを階層的に相互接続する。図21に示されている第1の例では、各々4個のボードを接続している2組のバスX0及びX1を有している。Xレベルのバスを、他のバスYで相互接続する。Xバス中の各々のワイヤを、再構成可能な双方向性トランシーバによってYの片方に接続する。双方向性トランシーバの構成によって、X及びYのワイヤが絶縁されているかどうか、XがYを駆動又はYがXを駆動するかどうかが決定される。回路網が、左側のボードの組又は右側のボードの組のみを接続する場合、Xレベルバスの一方又は他方のみを用いる。両側にボードを具えている場合、X0及びX1のワイヤを各々使用し、これらのワイヤをトランシーバを介してYのワイヤで相互接続する。各ボードは、Xレベルバスの一方の幅と同数のI/Oピンを有している必要がある。Yを介しての相互接続が双方向性、すなわち、X0又はX1のいずれか一方によって駆動される場合、追加的な信号がX0及びX1から流れ、トランシーバの方向性を動的に制御する。この相互接続を分析しボード間の回路網を相互接続する機能を示す。この際、上記と同じ回路網ピン数及びI/Oピン数であると仮定する。シングルレベル方法では、全回路網の統計と同じ幅を必要とするが、これを2つに分割し、必要とされる最大幅を10%~15%に減少させている。階層は、最大でも、バス当たりただ2つのボード又は2つのグループのボードを有するのみである(図22)。双方向性バス相互接続は簡単であり、組立てが容易であるが高価である。その理由は、かなり多くのロジックボードI/Oピンを他のボ

ードの回路網に接続することによって無駄にしているからである。このことを避けるために、階層化及び短絡背面を導入しても、効果が極めて小さいことが証明されている。更に、双方向性トランシーバを導入することによって、シングルレベル背面バス相互接続が部分的クロスバーよりも優位にあるスピード及びコストの面での利点を除去してしまう。結果的に、好適例のシステムレベル相互接続に部分的クロスバーを用いる。

#### 【0029】1.3 特定目的の構成素子

特定目的の構成素子とは、入力設計を実現し、好適例のロジックボードのしおき位置に取り付けるハードウェア構成素子であるが、ロジックチップを構成する組合せロジックゲート又はフリップフロップではない。

#### 【0030】1.3.1 設計部メモリ

多くの入力設計部はメモリを具えている。ロジックチップがメモリを具えているならば理想的である。電流ロジックチップデバイスはメモリを具えていない。メモリを具えるとするとメガバイト規模のメインメモリを依然として必要とし、これは、ロジックチップには決して望めないことである。従って、設計メモリデバイスを、リアライザシステム中に設けることとする。

#### 【0031】1.3.1.1 設計部のメモリアーキテクチャ

設計部メモリモジュールのアーキテクチャを以下の要件に基づき構成する。：

- a) 設計部のメモリモジュールは、設計部の一部であるため、他の構成要素と自由に相互接続できるようにする必要がある。
- b) ロジックチップと同様に効果的な相互接続を行うことができるよう、データ、アドレス及び制御入出力の割り当てに自由度を設け、バスの相互接続を行う必要がある。
- c) 種々の容量及びビット幅を有する1以上の設計部メモリを実現できる構成の変更を可能にする必要がある。
- d) ホストインタフェースが、設計部とデバッガタイプの対話ができるように、アクセス可能である必要がある。
- e) メモリモジュールはダイナミックではなくスタティックである必要がある。これによって、設計部を意のままに、ストップ、スタート又は任意のクロックスピードでランさせることができる。

これらの要件を満足するメモリモジュールの一般的アーキテクチャーを図23に示す。設計部との相互接続可能性及びリアライザシステムの物理的構成に関する柔軟性を維持するために、置き換えたロジックチップと同一の相互接続及び他のピンに接続されたLチップソケットにアラグで接続するように、メモリモジュールを設計する。必要なだけのモジュールを取り付ける。RAMチップを相互接続に直接接続しない。その理由は、主にチップのデータ、アドレス及び制御機能を特定のピンに定め

ているからである。部分的クロスバー相互接続の成功が、自由にI/Oピンとの内部相互接続を割り当てるとのできるロジックチップの機能に依存しているために、ロジックチップの場所に配置されたノンロジックチップデバイスは、同様の機能を有している必要がある。このことを達成するとともに、メモリモジュールに他のロジック機能を提供するために、ロジックチップをメモリモジュール中に取り付け、RAMチップをクロスバーのXチップと相互接続する。特定のRAMピンを、任意に選択されたXチップピンと相互接続し、メモリモジュールを構成する。この際、メモリモジュールを使用する場所に、ロジックチップが使用するのと同一のL-Xバスを使用する。1個よりも多くのロジックチップをモジュール毎に使用する。その理由は、接続すべきRAMピン及びL-Xバスの数が多いからである。メモリモジュールのロジックチップによって、メモリモジュールに構成可能性及びホストアクセス可能性を提供する。ロジックチップを介して、種々の容量、ビット幅及び入力/出力構造を有するRAMチップを接続するように、アドレス、データ及び制御バスを構成する。メモリモジュールを、1個の大規模メモリ又は幾つかの小規模メモリで構成することができる。これらのロジックチップの各々をホストインタフェースバスに接続するとともに、バスインターフェースロジックをロジックチップ中に構成することによって、ホストプロセッサが、RAMをランダムにアクセスすることができる機能を実現する。これによって、デバッガのようなコンピュータプログラムを用いて、メモリ内容を検査及び修正する。これらのロジック構造の具体例を、以下に示す。実現する設計部のタイミングに関する要件を満足する、入手可能で高密度且つ安価なスタティックメモリを、設計部メモリとして選択する。好適例では、このようなデバイスを富士通MB84256のような8ビット32KのCMOSRAMとしている。これによれば、スピードを50nsに落とすことができる。かなり高速のデバイスを用いればリターンを減少させることができる。その理由は、リアライザシステムのクロスバーチップ相互接続遅延が主な原因となり始めるからである。ダイナミックメモリデバイスを用いてはいけない。その理由は、ダイナミックメモリデバイスではこれらを規則的にリフレッシュしなければならず、リアライザシステムに種々の問題が生じる。入力設計部にダイナミックメモリが必要な場合は、入力設計部はおそらくリフレッシュロジックを具えている。しかしながら、実現された設計部が100%の設計スピードで動作できないので、設計部をリフレッシュさせることは成功しない。実際、デバッギングの際に、設計部の実行を停止させることが望ましい。すなわち、設計部はシステムの一部分であり、リフレッシュをするためには入力設計部に具わっていない他のいくつかの構成要素に依存しなければならない。つまり、設計部にスタティックメモリを必要とす

る場合、ダイナミック設計メモリのリフレッシュを行うことは非現実的である。スタティックメモリによればリフレッシュサイクルを無視できるため、ダイナミックメモリを設計部内に実現することができる。このようにして、スタティックデバイスを用いて設計部メモリを具体化する。

#### 【0032】1.3.1.2 ロジックチップをRAMとクロスバーとの相互接続に使用する

理想的には、単一のロジックチップを用いてRAMとXレベルクロスバーとを相互接続する。この際、すべてのL-X相互接続バスと同様に、すべてのRAM信号ピンを接続するのに十分なピンを用いる。実用的なリアライザシステムメモリモジュールでは、単一のロジックチップが実行困難な程多くのピンを必要としている。例えば8個の32K、8ビットRAMから成る2つのバンクを、128個のL-Xバスを有するモジュール中に用いるものと仮定する。各々のRAMバンクは、15個のアドレスピンと、8個の書き込みイネーブルピンと、64個のデータピンとを具えている。2個のバンク及びL-Xバスは、302個のピンと、ホストインタフェースバスのためのピンとを必要としている。これは、使用可能なロジックチップのピン数の2倍である。1より多くのロジックチップを用いなければならない。ここで述べたアーキテクチャでは、多くの小型ロジックチップを用いており、これらのチップにはアドレス、コントロール及びデータバスに関する特別の機能が与えられる。

#### 【0033】1.3.1.2.1 メモリアドレスロジックチップ

図23において、アドレス及びコントロールロジックチップを、“MA0”及び“MA1”で示している。RAMをバンクに分割する。このバンクを各々のMAチップで制御する。モジュールによって実現すべき分離設計部メモリの最大数と同数のMAチップを設ける。その各々に、クロスバーとつながっているL-Xバスのセット、すなわち、バンクのアドレス及びコントロールラインにとって必要なだけのバスを設ける。MA0及びMA1は別のバスの組を使用する。例えば、各々RAMの半分に接続されている2個のMAチップによって、2個の独立メモリを実現することができる。1個の大型メモリを実現する場合、両方のL-Xバスの組を用いて、アドレス及びコントロール回路網を両MAチップに接続する。各MAチップはバンク内の全RAMのアドレス入力を制御する。アドレス入力を、单一のバスで結びつける。各々のMAチップは、個々で、RAMへの制御入力を制御し、データをアドレス指定したRAMにのみ書き込むことができるようになっている。つまり、各MAチップをアクセス可能するために、ホストインタフェースバスに接続するとともに、このメモリモジュールのすべてのロジックチップと共にコントロールバスに接続している。図24は、いかにしてMAチップをXレベルクロス

バー及びRAMチップに接続するかを、さらに詳細に示している。図に示すように、ロジック及びデータバスに従ってMAチップを構成する。すべてのアドレスがクロスバーからMAチップに入る。通常、(バスインタフェースを非活動状態とした場合)、RAMアドレスビットの数に相当するアドレスビットの部分をバスし、MAチップによって制御されるバンク中のRAMをアドレス指定する。その他のアドレスビット及び設計部の書き込みイネーブルによって、各々のRAMの書き込みイネーブル信号を制御するデコーダロジックを駆動する。この設計部メモリに必要とされる構成に応じて、ロジックを構成する。例えば、設計部メモリが1個のRAMと同じビット幅を有し、設計部が書き込みイネーブルを主張する場合、アドレスビットに従い、ただ一つのRAM書き込みイネーブルが主張される。設計部メモリが1個のチップの2倍の幅を有する場合、一対のRAM書き込みイネーブルが主張される。メモリのデータバス幅のサブセットを各々制御している1より多くの書き込みイネーブルを有する設計部メモリを望む場合、幾つかの設計書込みイネーブル回路網を用いることができる。各回路網は、MA及びMDチップ中のデコードロジックの構成を適切なものとし、上述のラインに沿って作動する。このことは、MAチップへつながっているL-Xバスと、MDチップへつながっているコントロールバスバスとの使用可能度に依存している。バスインタフェースロジックによって、ホストインタフェースバスを介し、ホストはこのRAMをアクセスさせることができる。この組となっているRAMをバスを用いてアドレス指定する場合、バスインタフェースは、アドレスマルチプレクサ(‘mux’)を切り換え、RAMをそのアドレスにアドレス指定する。ホストが1個のRAMに書き込みを行う場合、バスインタフェースロジックは、信号をデコーダロジックに送信する。デコーダロジックは、アドレスビットを使用し、RAMを駆動せずに、適切なRAM書き込みイネーブルを主張する。最終的には、MDチップ中のデータバスを制御するのに、幾つかの信号を必要とする。MDチップのすべてを、MDチップと同一のL-Xバスに接続してはいないので、MDチップは、設計部からのアドレス及びコントロール信号をアクセスする必要はない。コントロールバスをすべてのMA及びMDチップに接続し、これらの信号及びバスインタフェースコントロール信号をMDチップへ送信できるようにしている。

#### 【0034】1.3.1.2.2 メモリデータバスロジックチップ

MDチップは、ビットスライス構成に従ってデータバスを操作する。クロスバーと交差してビットスライスを行うことによって、リアライザシステム中のマルチビットバスデータバスを相互接続する。チップ毎に1又は2ビットを用いて、バスはXチップと交差して広がっている。MDチップをビットスライスし、これらのバスとの

接続を容易にしている。各MDチップをすべてのバンク中の各RAM中の同一のビットに接続するとともに、Xチップのサブセットに接続する。同一のRAMビットのすべてをMDチップ内で結びつけ、種々のビット幅及びサイズ設計部メモリの構成に柔軟性を持たせることができる。MDチップ中にロジック及びデータバスを適切に構成することによって、RAM幅の種々の倍数で、設計部メモリを構成する。「n」個のMDチップ及び「M」個のXチップを設ける場合、各MDチップをM/nの種々のXチップを用いて接続する。各データビットは、2個のL-Xバス、すなわち、クロスバー加算相互接続構成のために、分離I/O構成のためのDI及びDOバス又は共通I/O双方向性構成のための加算入力及び加算結果のいずれか一方である。このようにして、各MDチップは少なくとも2\*M/n個のL-Xバスを有している。これらに加えて、付加的なバスを設けることができる。これら付加的なバスを、MAのL-Xバスに重ねることができる。MDチップ、RAM及びRAMビット幅の数を選択し、これらの制約及び容量制約を適合させ、MDチップに用いられるロジックチップ中のピンの数を有効に用い、これを偶数となるようにしている。工業規格スタティックRAMチップは、双方向性データピン(DQと称する)を有する共通I/O構造を有しており、データイン及びデータアウトに用いられる。これは、アドレス入力ピン(ADDR)及び書き込みイネーブルピン(WE)を有している。この実現例において、出力イネーブルピン及びチップ選択ピンは永続的にイネーブルされており、出力ピンは書き込みイネーブルで制御する。必要な場合にはRAMの読み出しを行い、アドレスデータをDQピンで駆動する。書き込みイネーブルを主張する場合、データインをDQピンで受信する。この主張の終了時に、データをアドレスロケーションに書き込む。規格デバイスは、書き込みイネーブルの終了時にセットアップ中のデータのみを必要とし、また、ゼロ保持時間を必要とし、これによってデータバスの書き込みイネーブル制御を可能としている。設計部メモリが共通I/Oを必要とする場合、設計部はトライステート回路網となる。これは、クロスバー加算構成を用いて実現される。すなわち、駆動ピンはそのイネーブルによって、別々にゲートされ、受信ピンを駆動する加算ORゲートに集められる。RAMDQデータピンを、図25に示されているようなMDチップ中に構成されるロジック及びデータバスによってインターフェースさせる。(一つのビットすなわちビット'n'を図示する。他も同様である。) Lチップがトライステートドライバを有している場合に、Xチップ中の加算ゲートを駆動するイネーブルゲートを有しているように、Xチップ中の加算ゲートを駆動するイネーブルゲートを用いて各MDチップを構成する(MD'n'を図示する)。設計部メモリ入力回路網によって、出力端子をイネーブルするとともに書き込みをディゼ

ーブルする場合、ロジックは、RAMの加算ゲートへの出力をゲートするとともに、受信ドライバをディゼーブルする。もし、そうでなければ、回路の値は加算ゲートからRAMへと伝達され、書き込みイネーブルが主張されると書き込みが可能となる。上述したように、設計部書き込みイネーブル及び出力イネーブル信号がMAチップから(コントロールバスを介して)生じることに注意しなければならない。バスインターフェースロジックは図示していない。設計部メモリが分離I/Oを必要とする場合、これは、図26に示されているように、SRAMの共通I/Oから抽出される。出力イネーブルが主張される場合、データアウトは、常にSRAMのデータピンスタートを反映している。書き込みイネーブルが主張される場合、データインはSRAMのDQピンに伝達される。上記の図面では、設計部データビットに接続された1個のRAMのみを図示している。時には、数個のRAMを設けており、この場合、設計部メモリ中のロケーションの数は、単一のRAMチップの大きさの倍数となっている。このような場合、図27に示しているように、MDチップを構成する。幾つかのRAM各々のDQピンをこのMDチップに接続する。ロードアドレスビットと設計部及びバスインターフェース制御信号とが、コントロールバスを介して、MAチップからMDチップへと伝達される。読み出しの場合、アドレスのロービットは、マルチブレクサを介してRAMDQ出力のいずれか一つを選択する。選択された出力は設計部出力イネーブルによってゲートされ、前述の例と同様に設計部メモリデータアウトを構成する。設計部がその出力イネーブルを主張する場合、ドライバをイネーブルすることによって、データインはRAMDQ入力の内のいずれか一つに伝達される。ロードアドレスビット及び設計部書き込みイネーブル信号によって駆動されるデコードロジックによって、駆動すべき適切なドライバを選択する。RAMチップの書き込みイネーブルをMAチップによって駆動することを中止する。図27は、分離I/O構成を示している。共通I/O構成は、クロスバー加算ゲートによって駆動されるデータインと、設計部出力イネーブル及び書き込みイネーブルによってゲートされるデータアウトとに類似しており、図25に示すように加算ゲート入力を駆動する。ホストインターフェースが、ホストインターフェースバスを介してこのメモリをアクセスする場合、MAチップによって構成されるロジックは、バスをアクセスするための制御信号を出力する。この信号は、コントロールバスを介してMAから伝達される。バスが読み出しを行う場合、バス読み出しイネーブルは、マルチブレクサがアドレス指定したRAMより選択したデータを、このMDチップに対応するホストインターフェースバスデータビットに伝達する。バスが書き込みを行う場合、バスデータビットからのデータを他のマルチブレクサを用いてドライバにスイッチする。このデータは、通常の書き込みと同じプロセスに

よって選択されたRAMのDQピンへ伝達される。この説明は、单一の設計部メモリのデータバス幅から单一のデータビットを用いて構成した、MDチップ構成を示していることに注意しなければならない。設計部メモリ構成によるものであり、且つモジュール中のMD及びRAMチップの数を必要とする場合、単にデータバスを適切に曲げることによって、1より多くのデータビットが各MDチップ中に現れる。さらに、前記データバス及びコントロールラインを曲げることによって、一組の共通MDチップを用い、1より多くの設計メモリを実現し、幾つかのメモリを具体化する。メモリモジュールにつながっているあるL-XバスをMAチップにのみ接続し、且つあるL-XバスをMDチップにのみ接続しているので、適切なL-Xバスを用いて設計部メモリに接続された回路網を相互接続するためだけに設計部変換相互接続プロセスを組立てる。

#### 【0035】1.3.1.3 設計部メモリのための設計変換

オリジナル設計ファイル中で利用可能な構成のいずれか一つに対応する設計部メモリRAM基本要素を用い、入力設計部中の設計部メモリを特定する。設計部変換方法は一組の予め定義した部分的ネットリストファイルに基づくものである。この内の一つはメモリモジュールのロジックチップの各々のためのものであり、上で示したように、特別のメモリ構成をするために構成すべきすべてのロジック及びデータバスに関するステートメントを用いている。予め定義されたファイルは、相互接続を用いて、設計部メモリアドレス、データ及びコントロール接続を行うのに用いられるモジュールI/OピンのI/Oピン数仕様を除いて、完全なものである。この方法は以下のとおりである。:設計変換のセクションにて述べる

ように、以下に示すような設計部メモリに対して特別な例外があるものの、一般的な方法を設計変換に用いる:

- ・設計部リーダは、特定のペクトルメモリに対するメモリ基本要素を、設計データ構造に読み出す。どの構成を用いるかを特定するためのデータを、メモリのデータ構造レコード中に記録する。
- ・変換ステージが、構成を利用可能であり、且つ、ピンが構成と正しく対応していることをチェックする。
- ・ユーザは、どのボード上のどのLチップ位置にメモリモジュールが搭載されているかをパーティショナ(partitioner)に告げる。このデータに基づき、パーティショナは、一般的な分割化アルゴリズムに従って、記憶のためのメモリモジュールを選択する。逐一的に、ユーザは、このデータをオリジナル設計ファイル中の基本要素と関連づけることによって、メモリを特定のモジュールに割り当てることができる。設計部リーダは、メモリの基本要素レコード中に、オリジナル設計ファイルを見えている。
- ・次に、インタコネクタは、メモリに接続された回路網

及びピンを、特定のL-X相互接続バスに割当てる。アドレス及びコントロール回路網をMAチップに接続している特定のバスにのみ割当て、且つ、データ回路網をMDチップと接続しているバスにのみ割当てることができるという制約を条件として、インタコネクタはバスの割当てを行う。各クロスバーチップセットの回路網相互接続能力を決定する場合、これらのセットを拒否する場合、及び必要とされるMA又はMDチップを接続していないバスを得られない、又は使用することができない場合、相互接続を行う際に、これらの制約を適用する。

・アライザシステム中の各ロジックチップに関するネットリストファイルに書き込みを行う場合、各々の設計部メモリ回路網接続は:

- 1) MA又はMDのいずれかを相互接続手段によって、基本要素が選択するバスに接続するかを決定すること
- 2) 通常のロジックチップI/Oピン数を得る場合に説明したと同様の手順を用い、バス数とMA/MDチップ数とからロジックチップI/Oピン数を得ること
- 3) これまで他の回路網に割当てられていないこのMA/MDチップの回路網にからの、予め定義されたアドレス、データ又は制御接続を選択すること
- 4) ステートメントを、このロジックチップのネットリストファイルに加え、このロジックチップI/Oピン数を、予め定義した設計部メモリ接続に接続するのに用いることを明示することによって、ネットリストされる。

・ネットリストファイルを、ネットリスト変換ツールを用いて、構成ビットパターンに処理するとともに、Lチップ及びXチップのネットリストファイルとしてのロジックチップにロードする。

#### 【0036】1.3.1.4 具体的なメモリモジュール設計

図28は、好適例において用いられる、メモリモジュールの設計部を示す図である。これを、図23に示した上述の説明に基づく構成に従って、アーキテクトすることに注意しなければならない。XC3090 LCAロジックチップに代わるLチップソケットに、プラグを差し込み接続するように構成する。このようにして128個のL-Xバス、すなわち、各々32個のXチップにつながっている4個のバスを設ける。共通I/Oを有する32K、8ビットスタティックRAMチップを、8個のRAMの各々の2個のバンク中に用いる。各バンクは、それ自体のMAチップ、XC2018 LCAを有している。各MAチップは、8個のアドレスバス及び8個の書き込みイネーブルを用いて、そのRAMを制御する。各MAチップを、モジュール中のすべてのMA及びMDチップが共有している制御バスに接続するとともに、ホストインターフェースバスに接続する。残りのピンは、クロスバーと接続している。各々異なるXチップとつながっている、28個のL-Xバスを設ける。MAチップ0は、一組のバス、バス0を使用し、MA 1はバス1を使用する。これによ

って、2個の独立設計RAMに対する別々のアドレス及びコントロール回路網が与えられる。完全な32個のL-Xバスよりも少ないバスを接続する。これは、単に、XC2018のピンの数が制限されているからに他ならない。設計変換の間、このモジュールにおけるミッシングバスに対応する、相互接続L-Xバステーブルにおけるバス構成要素が利用できることに注意しなければならない。このため、回路網を、バス構成要素を介して相互接続できない。8個のMDチップには、すべてXC2018 LCAを使用する。32個のXチップを設ける場合、(上述の方法によれば)各々のNDチップは $32/8=4$ 個の異なるXチップを接続している。各チップは、設計部メモリデータビットに用いられる $2 \times M/n = 8$ 個のバスを有している。その内の2個は、各Xチップにつながっている。各Xチップにつながっている付加的な2個のバスを設け、以下に示すように、モジュールを、128ビットベクトルメモリとして使用できるようとする。好適例において実現されるホストインタフェースバスを、Rバスと称する。Rバスは、すべてのLチップポジションを、付加的なピンを用いて接続する。これについては、ホストインタフェースのセクションで説明する。5個の異なる設計部メモリ構成を、このモジュール中で用いることができる。以下のチャート及び図28において“バス0”は、各Xチップからつながっている一組のL-Xバスを示しており、“バス1”は他の一組を示している。

・8ビット512Kの1個のメモリ：L-Xバス0及び1を介した(MA0及びMA1の両方に接続できるよう二重にしている)19個のアドレス及び2個のコントロール(WE、OE)、L-Xバス2及び3を介した16個のデータ(DI/DO又はドライバ/レシーバ)。各MDチップは、16個のRAMに接続された1個のデータビットを有している。

・16ビット256Kの1個のメモリ：L-Xバス0及び1を介した18個のアドレス及び2個のコントロール、L-Xバス2及び3を介した32個のデータ。各MDチップは、各々8個のRAMに接続されている2個のデータビットを具えている。

・32ビット128Kの1個のメモリ：L-Xバス0及び1を介した17個のアドレス及び2個のコントロール、L-Xバス2及び3を介した64個のデータ。各MDチップは、各々4個のRAMに接続されている4個のデータビットを有している。

・8ビット256Kの2個のメモリ：各々、L-Xバスを介した18個のアドレスと、2個のコントロールとを有している。バス0は一方のメモリ(MA0)のためのものであり、バス1は他方のメモリ(MA1)のためのものである。各々は、バス2及び3を介した16個のデータを有している。各MDチップは、8個のRAMに接続された、各々のメモリのための1個のデータビットを

有している。

・16ビット128Kの2個のメモリ：各々は、L-Xバスを介した17個のアドレスと2個のコントロールとを有している。バス0は一方のメモリのためのものであり、バス1は他方のメモリのためのものである。各々、バス2及び3を介した32個のデータを有している。各MDチップは、4個のRAMに接続された各メモリのための2個のデータビットを有している。コントロールバスは、一般的にすべてのMA及びMDチップに接続された12個のバスから成っている。12個のバスは最大コントロール構成を保持する必要がある。この構成は三つのアドレスビットである。すなわち、設計書込みイネーブルと、2個の256K、8ビット設計部メモリの各々のための設計部出力イネーブル信号とに、バス書込みイネーブル及びバス読出しイネーブルを加えたものである。

#### 【0037】1.3.2 刺激及び応答

リライザシステムを多数使用することは、ホストコンピュータの刺激信号送信と、設計部への応答信号及び設計部からの応答信号の捕捉とに依存している。このことを、バッチ形式で行う場合、すなわち、信号の大部分を一度に送信及び収集する場合に、ベクトルメモリを用いる。このことを、一回に一つの信号で行う場合には、ステイミュレータ及びサンプラーを用いる。

#### 【0038】1.3.2.1 刺激を与えるためのベクトルメモリ

連続的且つ反復的な刺激のストリームを、シミュレーション適用のような、テストベクトルの高スピード反復適用のために実現される設計部中の一組の回路網に供給することが時々必要となる。このことは、実現される設計部の回路網にメモリをインタフェースさせること、刺激ベクトルをホストコンピュータからメモリに書込むこと、更には、順次にメモリを1回ないし数回読み出し、刺激を設計部に送ることによって行われる。連続的且つ、リニアなメモリロケーションを読み出す必要があるため、アドレスストリームを2進カウンタによって設ける。図29はこのような刺激ベクトルメモリを達成するための手段を示している。規則的なクロック信号ECLKはプロセスを制御する。ECLKを周期化、すなわち、各刺激ベクトルの度毎にハイとローとを発生させる。2進カウンタはアドレスシーケンスを提供する。ECLKがハイになると、カウンタは次の刺激ベクトルのアドレスまでカウントアップする。次の刺激ベクトルのアドレスは、ECLKの周期の間RAMによって読み出される。ECLKが次にハイになると、ちょうど読み出された刺激ベクトルの値がDフリップフロップのクロックとなる。フリップフロップの出力信号は刺激ベクトルの値で刺激される回路を駆動する。フリップフロップは、ベクトル間に必要なクリーントランジションを与える。その理由は、RAM出力が正しい値に安定する以前に、その読み出

サイクルの間変動し得るからである。このプロセスは繰り返され、一連の刺激ベクトルが実現される設計部に与えられる。この構造は繰り返され、刺激が多く回路網に提供される。刺激ベクトルをRAMに書込むのに用いられるホストコンピュータへのインターフェースは、簡単のため図示していないが以下に引用する図面により更に詳細に示す。

#### 【0039】1.3.2.2 応答捕捉のためのベクトルメモリ

同様に、実現される設計部からの応答を捕捉する一モードでは、連続的なサンプルのストリームすなわち一組の回路網からのベクトルを捕捉する。この時、ロジックアナライザが現実のハードウェアデバイスから捕捉を行う。このことは、メモリを、実現される設計部の回路網にインターフェースさせ、実現される設計部が順次に動作するときに回路網からのベクトルをメモリに書き込み、更に捕捉された応答ベクトルを、解析のためにホストコンピュータへ戻すことによって行われる。連続的且つ、リニアな一連のメモリロケーションを読出す必要があるため、前記と同様、アドレスストリームを2進カウンタによって設ける。図30はこのような応答ベクトルメモリを開発する手段を示している。刺激メカニズムのように、クロック信号ECLKがプロセスを制御する。各応答ベクトルの度毎に、ECLKの同期をとる。2進カウンタはアドレスシーケンスを提供する。ECLKがハイになると、カウンタは次のベクトルのアドレスまでカウントアップする。ECLKがローになると、応答ベクトルの値がトライステートドライバによってRAMDQデータピンに伝達され、書き込みのためにRAMがイネーブルされる。ECLKが再びハイになるとこの値はRAMロケーションに書き込まれ、RAM書き込みイネーブル及びトライステートドライバイネーブルはディゼーブルされ、カウンタは次のベクトルのアドレスまで進む。このプロセスは繰り返され、実現される設計部からの一連の応答ベクトルを記録する。この構造は繰り返され、刺激が多く回路網に供給される。刺激ベクトルをRAMに書き込むために用いられるホストコンピュータへのインターフェースは、簡単のため図示していないが、以下で引用する図面において更に詳細に説明する。一般的に、実現される設計部を刺激し、これらの応答を発生させる。刺激が刺激ベクトルメモリから生じる場合、両ベクトルメモリは同一のECLK信号を用いている。ECLK信号は、新しいアドレスがカウンタから読み取られ、RAMをアドレス指定するとともに、データが読み出され、刺激Dフリップフロップをセットアップするのに十分長くハイである必要がある。また、ECLK信号は、刺激が実現される設計部に影響を及ぼし、この影響に対するすべての応答が安定し、且つ、これらの応答がRAMに書き込まれるのに十分長くローでなければならない。刺激がいずれかから生じる場合、応答回路網を正しくサンプリング

グするために、応答ベクトルメモリのECLK信号は実現される設計部と同期されている必要がある。

#### 【0040】1.3.2.3 刺激及び応答のためのベクトルメモリ

図31で示されているように、刺激及び応答ベクトルメモリシステムに関して上記のように定義された、刺激及び応答ベクトルメモリの機能を組合せることができる。RAMビットは、たとえ同一のRAMデバイスであっても、刺激又は応答のいずれか一方に自由に割当てることができる。その理由は、ECLKがハイのときに刺激読出し機能が生じ、そして、ECLKがローのときに応答書き込み機能がこれに続くからである。トライステート応答ドライバを両方とも刺激Dフリップフロップ入力とし、同一のRAMDQデータピンに接続することによって、一つのビットを刺激及び読出しの両方に用いることができる。シンプル刺激ベクトルメモリと組合せ刺激／応答ベクトルメモリとの重要な相違点は、刺激ベクトルを、1回だけRAMから読出すことができるということである。その理由は、RAMビットを刺激のみに用了いた場合でさえ、各メモリロケーションをECLKの半周期のローの時に書き込むからである。このことは、RAMチップのすべてのビットを刺激に用い、且つECLKが書き込みイネーブルを主張しない場合にのみ避けることができる。前の図面は、一般的な方法でベクトルメモリを実現したものを図示している。更に、点線は、いかにしてロジックチップ（“MAチップ”及び“MD'n'”）を構成することでベクトルメモリロジック機能を実現することができるかを示すものである。これらロジックチップは、適切にRAMチップ及びリアライザ相互接続（Xチップ）に接続されている。ベクトルメモリと、ソフトウェアからの刺激を電気的な型に再び戻す変換については、米国特許第4,744,084号明細書において詳細に説明されている。この内容を、参考のためにここで用いる。

#### 【0041】1.3.2.4 フォールトシミュレーションのためのベクトルメモリ

リアライザフォールトシミュレーションシステムについては、これについてのセクションにおいて説明する。フォールトシミュレーションでは、応答はベクトルメモリに捕捉されず、その代わりに、フォールト応答ベクトルメモリによって所定の良好な回路の応答と比較される。フォールト応答ベクトルメモリは、以下の点において上で示した簡易刺激ベクトルメモリと同一のものである。すなわち、MDチップのフリップフロップの出力を用いて回路網を駆動する代わりに、出力はXORゲートによって回路網の値と比較される。XORゲートを、ECLKが同期をとるセットフリップフロップに接続し、回路網とメモリとの差を表示しているXORゲートがハイの場合フリップフロップをセットする。ホストは、ホストインターフェースを介してこのセットフリップフロップを

読出すことができ、差が検出されているかどうかを調べることができる。

#### 【0042】1.3.2.5 実現される設計部におけるベクトルメモリの相互接続

実現される設計部へのベクトルメモリの接続方法は多くの方法が考えられる。1以上のロジックチップに直接接続され、及び／又は相互接続バスのいずれか又はすべてに接続されたベクトルメモリを用いて、リアライザシステムを設計することができる。例えば、ベクトルメモリを、Lチップ及びXチップを用いてロジックボードに取り付けることができるとともに、ボードとは離れているX-Yバスに接続することができる。ベクトルメモリを、YレベルクロスバーのYチップボードに取り付けるとともに、X-Y及びY-Zバスに接続することもできる。ベクトルメモリを、ロジックチップの代わりにLチップロケーションに取り付け、Lチップロケーションに作用するL-Xバスに接続するというテクニックもある。この場合、これらL-XバスをベクトルメモリとXチップとの間にのみ接続する。Xチップを構成することによって、実現される設計部の回路網への接続を行い、ベクトルメモリを回路網に接続する。この際、回路網はXレベル相互接続を介してつながっている。モジュールの方法でロジックチップをベクトルメモリモジュールに置き換え、リアライザシステムを、必要な数の又は必要よりも少数のベクトルメモリを用いて構成することができる。リアライザ設計部メモリを、Lチップロケーション中の1以上のロジックチップに代えて取り付けているため、このテクニックを用いて、共通ハードウエアメモリモジュールを設計部メモリモジュール又はベクトルメモリモジュールとして用いることができる。メモリモジュール中にロジックチップを構成するとともに、リアライザシステムの相互接続を適切に行うことによって機能を選択する。これは、好適例において用いられているベクトルメモリアーキテクチャである。

#### 【0043】1.3.2.6 特別なベクトルメモリ設計部

好適例において、共通メモリモジュールを、設計部メモリ及びベクトルメモリ応用の両方のために使用する。その一般的なアーキテクチャ及び設計は、設計部メモリのセクションにおいて説明し、ここでは説明しない。いかにして、モジュールをベクトルメモリとして用いるかの詳細については、以下に示すとおりである。以下の2個の図面は、ホストインターフェースからの完全読出し／書込みアクセスを用いて、組合せ刺激／応答ベクトルメモリのためのMA及びMDチップ中に前記と同様のロジックを構成することを示している。ホストコンピュータが非活動状態である場合、すべての動作は上記簡単な例にて示したのと同一のテクニックに従っている。図32において、ホストインターフェースを介してホストが出力するECLK信号を、相互接続を介してMAチップに相互

接続している。ECLK信号は、各MAチップで構成されるアドレスカウンタの同期をとる。各々、一组のRAMを制御している1以上のMAチップをモジュール中に設けているので、各MAチップは、ベクトルアドレスカウンタのコピーを有している。すべてのカウンタは、同一のコントロール(ECLK及びバスインタフェースからのリセット信号)を得ているため、その各々は常に他のカウンタと同一のアドレスを送信する。通常(バスインタフェースが非活動状態の場合)、アドレスがカウンタ出力から送られ、RAMのアドレス指定を行う。ECLKがロー状態(書き込み応答位相)の場合、デコーダロジックは、前述の例と同様にすべてのRAM書き込みイネーブルを主張する。ECLKは、コントロールバスにも伝達され、MDチップのロジックを駆動する。MDロジックは刺激及び応答ベクトル値それ自体を処理する(図33)。通常(バスインタフェースが非活動状態の場合)、ECLKがハイ状態のとき、RAMは刺激ベクトル値を読み出し、ECLKがロー状態になると、RAMとフリップフロップとを同期させる。フリップフロップは、上記と同様に各回路網に刺激を与えるためのものである(その内の一つを図示する)。従って、刺激を相互接続Xチップを介して回路網へ伝達する。ECLKがロー状態の場合、すべてのトライステートイネーブル(e0, e1, ..., en)が主張され、相互接続(2個を図示する)を介して回路網から出力される応答値をマルチプレクサを介してRAMDQデータピンに伝達する。ホストコンピュータが、ホストインターフェースバス(特に、好適例のRバス)を介してこのメモリをアクセスする場合、各々のMAチップ中に構成されるバスインタフェースロジックが活動状態となる。これは、アドレスマッチブレクサ(mutex)を切り換え、バスがRAMのアドレス指定を行う。バスサイクルがRAMに書き込みを行うためのものである場合、デコーダロジックは、アドレスビットを用いてどのRAMに書き込みを行うべきであるかを解読するとともに、適切な書き込みイネーブル信号を出力する。RAMを選択するのに必要とされるアドレスビット及び読出し及び書き込み制御信号も、コントロールバスを介してMDチップに伝達される。MDチップにおいては、バスが読出しサイクルを行う場合、デコーダロジックはすべてのトライステートRAMDQビンドライバをディゼーブルし、アドレスビットを用いて読出しマルチブレクサを介してアドレス指定されたRAMのDQデータ出力を選択し、更には、バス読出しイネーブル信号がデータ値をこのビットのためのホストインターフェースバスのデータラインに伝達する。バス書き込みサイクルにおいて、デコードロジックは、書き込みマルチブレクサを用いて、応答を与える回路網ではなく、ホストインターフェースバスのデータラインから生じるデータ値を選択するとともに、アドレス指定されたRAMのためのトライステートRAMDQドライバをイネーブルし、データ

をRAM入力へ伝達する。

#### 【0044】1.3.2.7 ベクトルメモリの設計変換及び仕様

回路網をベクトルメモリに接続すべきであるということを説明するために、ユーザは、回路網に入力設計に関する特別な特徴を付加し、特定のベクトルメモリ及び接続が刺激のためのものであるのか又は応答のためのものであるのかを説明する。設計部変換方法は、一組の所定の部分的ネットリストファイルに基づくものであり、この内の一つは各モジュールのロジックチップのためのものであり、前記と同様ベクトルメモリ刺激及び応答接続と、ベクトルメモリデータバス及びコントロールロジックと、バスインタフェースロジックとに関するステートメントを用いている。この方法では、ERCGAネットリスト変換ツールは、任意の出力端子又はI/Oピンに接続されていない入力端子、及び任意の入力端子又はI/Oピンに接続されていない出力端子のよう、通常は接続されていないネットリストファイル中の基本要素及び回路網のためのロジック及び相互接続を構成することはない。各ベクトルメモリビットに対する刺激接続及び応答接続のためにロジックを設ける。ネットリストに供給されるいずれか一方の相互接続のみが実際に構成され、他方は構成されない。その理由は、通常それをネットリストに接続しないからである。予め定義されたファイルは、相互接続を用いてベクトルメモリ刺激接続とベクトルメモリ応答接続とを接続するのに用いるモジュールI/OピンのI/Oピン数の仕様を除いて、完全なものである。各ファイルにおける刺激及び応答接続の数を、何個のI/Oピンをファイルのロジックチップ中に用いることができるか、どの程度のロジックを各チップに、更には全体としてどの程度のロジックをモジュールに設けることができるか、によって決定する。その方法は、以下のとおりである。：設計部変換のセクションにおいて説明したように、以下のようなベクトルメモリの特別な例外を有するものの、一般的な方法を設計部変換に用いる：

- ・設計部リーダは、ベクトルメモリ接続のために設けられた回路網を識別するために入力設計ファイルからの特性情報を読み出し、且つ、バスインタフェースロジックではなく、回路網に接続された1以上のベクトルメモリ基本要素を、その設計部データ構造に組込む。設計部リーダは、ホストインターフェースクロック発生器及びベクトルメモリ基本要素に接続されたECLK回路網を作り出す。

- ・パーティショナとは、ユーザが、メモリモジュールを取り付けるボード上のいずれかのチップ指定するということである。このデータに基づき、パーティショナは、ベクトルメモリ基本要素を通常の方法でメモリモジュール中に分割する。

- ・インタコネクタは、他のロジックチップ基本要素と同

一のベクトルメモリ基本要素を処理し、これらを回路網中の他の基本要素を用いて接続しているL-Xバスを決定する。

・アライザシステム中の各ロジックチップのネットリストファイルに書き込みを行う場合、各ベクトルメモリ回路網接続は以下によってネットリストされる：

- 1)どのロジックチップが、相互接続手続によって基本要素が選択したバスを接続するかを決定する。

- 2)通常のロジックチップI/Oピンナンバを得る際に説明したと同様の手続を用いて、バスナンバ及びロジックチップナンバからロジックチップI/Oピンナンバを得る。

- 3)これまで他の回路網に割当てられていないロジックチップに関する回路網から、予め定義された刺激又は応答ベクトルメモリ接続を選択する。

- 4)ステートメントをこのロジックチップのネットリストファイルに加え、このロジックチップI/Oピンナンバを、予め定義されたベクトルメモリ接続に接続するために用いることを明示する。

- ・設計変換システムは、対応テーブルファイルも出し、回路網の名称をベクトルメモリ及びベクトルメモリビット位置と関連づけ、動作中使用する。

- ・ERCGAネットリスト変換ツールは、用いられるベクトルメモリ刺激及び応答入力端子のロジック及び相互接続のみを構成する。

#### 【0045】1.3.2.8 スティミュレータ

スティミュレータは、単一の記憶ビットとし、ホストコンピュータで制御し、設計部の回路網を駆動する。スティミュレータは、ホストが入力信号を設計部に供給するのに用いられる。2種類のスティミュレータ、すなわち、ランダムアクセスタイプとエッジ検知タイプとを設ける。実際のランダムアクセススティミュレータは、フリップフロップであり、その出力信号はホストインターフェースバスを介し、ホストが必要に応じてデータをロードする設計部回路網を駆動する。ランダムアクセススティミュレータは、設計部の動作を変化させることなく、他の刺激された回路網に呼応して、常に値を変化させることのできる回路網を刺激するのに用いられる。このような回路網の一例としてはレジスタへのデータ入力がある。各スティミュレータは唯一のバスアドレスを有し、ホストがデータをこのアドレスに書込む場合に、バスインタフェースロジックは、データをD入力に与えるとともにスティミュレータフリップフロップのクロック入力の同期をとる(図34)。エッジ検知タイプのスティミュレータは、設計部の動作、例えばレジスタへのクロック入力を修正するための他の回路網と同期しながら変化しなければならない回路網を刺激するのに用いられる。第2フリップフロップを、ランダムアクセススティミュレータと設計部回路網との間に配置する。同期をとらなければならない一群のこのようなスティミュレータのす

べてを共通クロックに接続する。新しい一組の回路値を入力するために、ホストは、新しい値を、たとえどのようなオーダであっても、上記と同様に、ホストインターフェースバスを介して各スティミュレータの第1フリップフロップにロードする。新しい値が設計部にすべて供給される必要がある場合、ホストは、共通‘同期クロック’を周期化し、一度にすべての値を第2フリップフロップにロードし、このようにしてすべての回路網を同時に駆動する(図35)。

#### 【0046】1.3.2.9 サンプラー

サンプラーは、単一の記憶ビットであり、ホストコンピュータによって制御され、設計部の回路網を受信する。サンプラーはホストによって使用され、設計部からの出力信号を捕捉する。サンプラーの最も簡単な形は、D入力端子で設計部回路網を受信し、同期をとることができ、且つ、ホストインターフェースバス及びバスインターフェースロジックを介してホストが必要に応じて読出すことできるフリップフロップである。通常、多数のサンプラを、共通‘サンブルクロック’に接続する。サンブルデータ出力は、‘サンブルクロック’出力と同様に、唯一のバスアドレスを有している。ホストは、クロックを周期化し、一群のサンプルを取り出し、その後、サンプリングされたデータ値を一つ一つ読出す(図36)。必要とされるホストI/Oの数を削減するために、第2フリップフロップを付加的に加え、変化検出サンプラーを構成する。第2フリップフロップを、サンプリングフリップフロップと同一のクロックに接続し、その入力端子をサンプラーの出力端子に接続する。結果的に、第2フリップフロップは最も新しいクロック周期前にサンプラーが有していた値を保持している。2個のフリップフロップ出力をXORゲートで比較する。XORゲートは、サンプリングされた値の変化のため2個のフリップフロップが相違する場合にハイ状態の値を出力する。一群のサンプラーからの全XOR出力信号をホストが読出し可能なORゲートによって加算する。上述したように、‘サンブルクロック’を周期化することによって、回路網をサンプリングした後、ホストは、まず第1にこのORゲートの‘変化’値をチェックし、グループ中のどの値が変化したのかを調べる。変化していない場合には、これらサンプラーのいかなる値をも読出す必要がない(図37)。

#### 【0047】1.3.2.10 スティミュレータ及びサンプラーの設計変換及び仕様

サンプラー及びスティミュレータフリップフロップ、ロジックゲート及びバスインターフェースロジックを、アライザシステムロジックチップ中に実現する。回路網を、サンプラー又はスティミュレータに接続すべきであることを説明するために、ユーザは、回路網に、入力設計に関しての特別な特性を与え、スティミュレータ又はサンプラーの特定のタイプとグループの同一性とを識別する。スティミュレータ及びサンプラーを構成し、これらを、設計

部の残りの部分及びバスインターフェースに接続するためには、設計変換ソフトウェアシステムを用いる一般的な方法は以下に示すとおりである：設計変換のセクションにおいて説明したように、以下のようないくつかのスティミュレータ及びサンプラーに関する特別な例外があるものの、一般的な方法を設計部変換に用いる：

- ・設計部リーダーは、特性情報を入力設計ファイルから読み出し、スティミュレータ及び／又はサンプラーのために設計された回路網を識別し、バスインターフェースロジックではなく、回路網に接続されたスティミュレータ及びサンプラーの基本要素を設計データ構造に組み込む。

- ・システムパーティショナは、このような基本要素の各々が、ロジックチップ中に何個の等価ゲートを有しているかについてのデータベースを有している。システムパーティショナは、バスインターフェースロジックの等価ゲート指數も有している。このデータに基づき、システムパーティショナは、その通常の分割化アルゴリズムに従ってスティミュレータ及びサンプラーをロジックチップに割当てる。この際、システムパーティショナが、バスインターフェースロジックのサイズによって、ロジック容量の限界を小さくするという付加的な条件を課し、1以上のスティミュレータ及び／又はサンプラーを有するロジックチップの各々が、バスインターフェースロジックブロックを有しなければならないということを説明する。

- ・インタコネクタは、他の基本要素と同じく、スティミュレータ及びサンプラー基本要素を処理する。

- ・アライザシステムにおける各ロジックチップのネットリストファイルに書き込みを行う場合、以下の手順を用いて、各サンプラー又はスティミュレータ基本要素をネットリストする。

- 1) サンプラー又はスティミュレータを構成するゲート及び／又はフリップフロップの基本的ステートメントを、ステートメント分割化のためのロジックチップのネットリストファイルへ送信する。相互接続基本要素について説明したと同様の方法に従って、サンプリング又は刺激される回路網に亘る付加的な回路網のネームを、サンプリング又は刺激される回路網のネームから得る。

- 2) これが、この特別なロジックチップファイルにネットリストされる第1スティミュレータ及びサンプラーである場合、バスインターフェースの予め定義されたネットリストファイルセグメントを用い、バスインターフェースを構成する基本要素及び回路網をロジックチップに供給する。インターフェース毎に1回のみ使用されるバスインターフェース相互接続には前記ファイルセグメントで定義される標準的なネームが与えられる。スティミュレータ又はサンプラロジックに接続されるものには、捕捉した回路網のネームが与えられる。このネームは、ステップ1において、基本要素を出力する際に用いたネームと整合している。

簡単ではあるが、一般的ではない方法を用いて、メモリ

モジュール又はユーザ指定のデバイスモジュールのロジックチップ中にのみ、ステイミュレータ及びサンプラーを実現する。このことは、ERCGAネットリスト変換ツールがどの出力端子又はI/Oピンにも接続されていない入力端子、及びどの入力端子又はI/Oピンにも接続されていない出力端子のような、通常接続されていないネットリストファイル中の基本要素及び回路網のためのロジック及び相互接続を構成しないということを仮定している。このことは、一組の予め定義された部分的ネットリストファイルに基づくものである。このファイルの一つは、各モジュールのロジックチップのためのものである。この際、以下のステートメントを用いている。

- 1)すべて共通‘同期クロック’に接続されている多数のエッジ検知タイプのステイミュレータ。
- 2)すべて同一の‘サンブルクロック’に接続された多数の変化検出サンプラー。
- 3)上記のすべてのためのバスインタフェースロジック。

予め定義されたファイルは、サンプラーとステイミュレータとを相互接続を用いて接続するのに用いられるモジュールI/OピンのI/Oピンナンバの仕様を除き、完全なものである。コントロールバスを用いて、同期及びサンブルクロックのような共通信号をロジックチップ間に分配する。各ファイル中のステイミュレータ及びサンプラーの数を、何個のI/Oピンがファイルのロジックチップ中に利用できるか、どの程度のロジックを各チップが有することできるか、及び全体としてのモジュールによって決定する。その方法は、以下に示すとおりである：設計変換のセクションにおいて説明したような、一般的な方法を設計変換に用いる。この際、ステイミュレータ及びサンプラーに関して、以下のような例外がある。：

・設計部リーダーは、ステイミュレータ及びサンプラのために設けられた回路網を識別するために、入力設計ファイルからの特性情報を読み出し、且つ、バスインタフェースロジックではなく、回路網に接続されたステイミュレータ及びサンプラー基本要素を、その設計部のデータ構造に組み込む。

・パーティショナとは、ユーザが、メモリモジュール及びユーザ指定のデバイスモジュールを取り付けるボード上のいざれかのLチップを指定するということである。このデータに基づき、パーティショナはまずメモリ及びUSD基本要素をモジュールに割当て、その後、その通常の分割化アルゴリズムに従い、各モジュール単位で利用することのできる数の限界に至るまで、ステイミュレータ及びサンプラー基本要素をこのようなモジュールの残りへと分割化する。

・インタコネクタは、他のロジックチップ基本要素と同一なステイミュレータ及びサンプラーを処理し、これらを、回路網で他の基本要素を用いて接続しているL-Xバスを決定する。

・リアライザシステム中の各ロジックチップのネットリストファイルに書き込みを行う場合、各サンプラー又はステイミュレータ基本要素は以下によってネットリストされる：

- 1)どのロジックチップが、相互接続手続によって基本要素が選択したバスを接続するかを決定する。
- 2)通常のロジックチップI/Oピンナンバを得る際に説明したのと同様の手続を用いて、バスナンバ及びロジックチップナンバからロジックチップI/Oピンナンバを得る。
- 3)これまで他の回路網に割当てられていないロジックチップに関する回路網から、予め定義されたステイミュレータ／サンプラーを選択する。
- 4)ステートメントをこのロジックチップのネットリストファイルに加え、このロジックチップI/Oピンナンバを予め定義されたサンプラー／ステイミュレータに接続するために用いることを明示する。

・ERCGAネットリスト変換ツールは、使用するステイミュレータ、サンプラー及び関連あるバスインタフェースロジックのためのロジック及び相互接続を構成する。両方の方法において、設計部変換システムは対応テーブルファイルも出し、動作中に使用するために、回路網ネームを特定のステイミュレータ及びサンプラーに関連させるとともに、アドレスをホストインタフェースバスで通信する。

#### 【0048】1.3.3 ユーザ指定デバイス

構成されたロジック及び相互接続チップの形態で実際に動作するハードウェア中に入力設計部を実現するためには、他の実際のハードウェアデバイスをリアライザシステムに接続することが実用的であり且つ望ましい。マイクロプロセッサ又は他のVLSI ICチップ、デジタル／アナログコンバータ、ディスプレイデバイス、入力キーボード及びスイッチ、記憶デバイス、コンピュータ入力／出力バス等のデジタル入出力具える任意のデバイスを設けることができる。これらを、回路ボード又は大規模スケール構成素子のような、実現される設計部の一部を構成するデジタルシステムの一部とができる。これらのデバイスは、リアライザシステムのロジックゲート、フリップフロップ及びメモリ中で具現化することのできない、実現されるべき入力設計部の一部を示している。これは、ディスプレイのような物理的な理由によるもので、大規模記憶デバイスのような、リアライザシステムのリソースが不足しているため、又は標準的マイクロプロセッサのように、ロジック的な記述を利用することができないためである。代わりに、これらのデバイスは、すでに構成され正しいことが証明されている半通例のゲートアレイチップのような、ユーザがリアライザシステムリソースを用いて実現することを望まないデバイスとなり得る。その理由は、これを実現するために、リアライザシステムリソースを用いる必要がな

いため、又はユーザが設計部の実現される部分のデバイスを用いての正確な動作を試験したいためである。これらのデバイスは、リアライザシステムの一部ではないが、ユーザの設計の必要に応じて、ユーザによって指定されるものであるため、これらのデバイスを“ユーザ指定デバイス”(USD)と称する。ユーザがこのようなデバイスをリアライザシステムハードウェアに接続するのに用いるような標準的な手段を、リアライザシステムに設けるのに役立つような、多様なUSDを設ける。この手段はユーザ指定のデバイスマジュール(USDM)である。

#### **[0049] 1.3.3.1 ユーザ指定のデバイスマジュール**

ユーザ指定のデバイスマジュールは：

- 1) 物理的にユーザ指定のハードウエアデバイスを接続する手段を具えている。
- 2) USDとリアライザシステムロジック及び／又は相互接続チップとの間を接続している。USDが、ロジックチップと類似する設計部の役割を果たすため、ロジックチップと同様の方法で、USDMを相互接続するのが好都合である。
- 3) 通常、Lチップロケーションに取り付けられたロジックチップが行うように、USDピンを相互接続ピンに自由に割当てる機能を設ける。

ユーザ指定のデバイスマジュールは、メモリモジュールがそのRAMチップに有していると類似の機能を具えている必要があるので、USDMのアーキテクチャは、メモリモジュールのアーキテクチャと類似している。図38は、USDMアーキテクチャを示している。USD Mプリント回路基板、すなわち、USDMにプラグで取り付けられている移動可能なドーターカード(daughter card)の領域である、ユーザ指定のデバイス取り付け領域、又はマイクロプロセッサ、エミュレータ(emulator)計器と共に接続する方法で、ケーブルを介して接続されている他のこののような領域にデバイスを取り付ける。端末のブロックは、デバイス入出力ピンと、USDMロジックチップとの間に、コネクタ端末細条、一組のプリント回路ボードパッド、又は他のこののような手段を介して電気的な接続を行うための手段を具えている。端末のブロックは、デバイスの電源も具えている。物理的な、端末ブロックピンの容量が許す限り、1以上のデバイスを取り付けることができる。その代わりに、デバイスを、一般的な方法で、ケーブル及び中継装置を介して、遠隔的に接続することもできる。MA及びMDロジックチップの各々は、端末ブロックに接続されたI/Oピンと、相互接続に接続されたI/Oピンとを具えている。これらのチップを、メモリモジュールアドレス及びデータバスロジックチップにおいて説明したのと同様の方法で相互接続に接続する。付加的に、図にて示したように、メモリモジュールにチップを使用するのと同様の目的のために、

これらのチップをホストインターフェースバス及び／又は共通コントロールバスにも接続する。一般的に、バスデータビットがMDチップに分配され、これによつて、相互接続に分配されるように、USDアドレス及びデータバスをMDチップに接続する。MAチップをUSDコントロールライン及び付加的にUSDアドレスラインに使用する；図面は、可能性を説明するために接続された3個の仮想的ユーザデバイスを示している。USD 0は、MDチップを介して接続されたデータ及びアドレスバスと、MA 0を介して接続されたコントロールラインA、B及びCとを有している。USD 1は、MDチップに接続された3個のデータバスと、MAチップを介してのアドレス及びコントロール接続とを有している。USD 2は、アドレス指定のためのMA 1と、データのためのMDチップとを使用する。任意の特定のケースにおいて、リアライザシステムのユーザは、これらの設計及び使用にとって適切な方法を用いてこれらのUSDを接続することができる。前記セクションにおいて示したように、メモリモジュールMDチップにおいて、双方向性RAMDQピンを相互接続するのと同様の方法を用いて、双方向性USD接続を相互接続する。相違点は、入力設計部の回路網を、出力イネーブルコントロールのようにして明示する必要があるという要件である。この回路網を、メモリモジュール数が25及び26の場合に示される“設計出力イネーブル”と同様の方法で相互接続ロジックに接続し、MDチップの双方向性ドライバを制御する。通常、適切な出力イネーブルコントロール回路網を入力設計部中に設けていない場合、ユーザはこれを設ける必要がある。

#### **[0050] 1.3.3.2 好適例のUSDM**

図39において示した好適例において、RAMチップの代わりにUSDを取り付けるための領域に関して、USDMはリアライザメモリモジュールと同一である。8個のMDチップの各々は16個までのUSDピンを相互接続し、2個のMAチップの各々は23個までのUSDピンを相互接続する。図は、2個の実際に取り付けられたVLSIデバイス、すなわちモトローラMC68020の32ビットマイクロプロセッサ(“MC68020 32 Bit Microprocessor User's Manual”, Motorola, Inc., Phoenix, 1984)と、モトローラMC68881浮動小数点コプロセッサ(“MC68881 Floating Point Coprocessor User's Manual”, Motorola, Inc., Phoenix, 1985)とを示している。これらのデバイスは、USDの優れた例である。その理由は、一般的にこれらのデバイスをデジタルシステムの設計に用い、これらのロジック回路網表現をユーザが利用可能とすることはできないからである。これらのデバイスは、以下の入／出力ピンを有しており、この詳細については以下に示すとおりである。

MC68020

データ : D31-D0、双方向性  
出力イネーブル条件: R/Wが“書き込み”を示し、且つDBENが真である場合、D31-D0は、出力信号を送信し、そうでない場合には、入力信号を受信する。

アドレス : A31-A0、出力

中央入力端子: CLK、DSACK0、DSACK1、AVEC、CDIS、IPL0-IPL2、BR、BGACK、RESET、HALT、BERR

中央出力端子: R/W、IPEND、BG、DS、DBEN、AS、RMC、OCS、ECS、SIZ0、SIZ1、FC0-FC2

MC688A

データ : D31-D0、双方向性

出力イネーブル条件: R/Wが“読み出し”を示し、且つDSACK0及び/又はDSACK1が真の場合、D31-D0は、出力信号を送信し、そうでない場合には、入力信号を受信する。

アドレス : A4-A0、入力

中央入力端子 : CLK、SIZE、RESET、AS、R/W、DS、CS

中央出力端子 : DSACK0、DSACK1

データバスとアドレスバスとをMDチップを用いて相互接続する。メモリデータバスのセクションにおいて説明したように、バスデータビットをクロスバーを横切ってスライスし、図に示すように相互接続を容易にしている。制御信号はMAチップによって相互接続される。出力イネーブル制御信号は、上述したように、制御信号に接続された特別のロジックによって発生される。ユーザは、このロジックを入力設計部に設け、設計部の残りの部分を用いてLチップ中に実現する。各MDチップが異なるL-Xバスの組を接続し、通常出力イネーブルコントロールが全バスに関して一般的なものであることから、設計部変換システムは、これらの回路網をMAチップの内のいずれか1個に接続するとともに、USDMコントロールバスを用いて、回路網を接続の必要性があるMD及びMAチップに接続するように、MA及びMDチップを構成する。

#### 【0051】1.3.3.3 ユーザ指定のデバイスのための設計部の変換

USDを特別の基本要素を用いて入力設計部内に設ける。USDは、ユーザが作成するUSD仕様ファイルを示している特性データを伝達する。このファイルは、どのLチップロケーションにこのデバイスを有するUSDMを取り付けるかを示すとともに、USDのI/Oピンをリストする。この際、入力設計部のUSD基本要素中に使用されているピンネームを使用している。各ピンに対して、USDは、ピンを接続しているUSDMロジックチップ及びピン数と、ピンが入力、出力又は双方向性であることをリストする。ピンが双方向性である場合には、入力設計部中の出力イネーブルコントロール回路

網のネームもリストする。設計部変換ソフトウエアシステムは、USDを構成するとともに、USDを設計部の残りの部分に接続するネットリストファイルを出力する。一般的な方法を使用するが、これには、以下のようないくつかの例外がある：

- ・設計部リーダーは、USD基本要素を設計部データ構造中に読出す。設計部リーダーは、USD仕様ファイル中で読み出しを行うために、ファイル特性を使用するとともに、後の使用のための基本要素記憶と関連する情報を記憶する。基本要素記憶を、各々異なる出力イネーブルコントロール回路網に接続された特別のピンに供給する。

- ・変換ステージは、構成が利用可能であり、且つ、ピンが正しく構成と対応していることをチェックする。

- ・システムパーティショナは、USDをUSD仕様ファイルで特定されるLチップロケーションに配置する。

- ・インタコネクタは、USDピンに接続された回路網を特定のL-X相互接続バスに割当てる。インタコネクタはこれを行う際、USDピンに接続された回路網を、USD仕様ファイルで特定されるMA又はMDチップに接続するバスにのみ割当てることができ、且つ、イネーブルコントロール回路網ピンを、MAチップに接続しているバスにのみ割当てることができるという制約を条件としている。

- ・ネットリストファイルをUSDMに送信するために：このUSDMのUSDを制御している各々の出力イネーブルコントロール回路網が：基本要素を、この回路網のMAチップのネットリストファイルに送信する：その理由は、この回路網のために使用するL-Xバスを受信している入力バッファが、出力バッファの入力を駆動し、これによって、この回路網に割当てられたコントロールバスラインを駆動するからである。このUSDMのUSDに接続されている各回路網が：USD入力ピンを駆動する場合、基本要素を、このピンのロジックチップのネットリストファイルに送出する：その理由は、この回路網に使用される受信バスからの入力バッファが、このUSDピンのために用いられる端末ロックピンを駆動する出力バッファの入力端子を駆動するからである。USD出力ピンを受信する場合、基本要素を、このピンのロジックチップのネットリストファイルに送信する：その理由は、この回路網に用いられる駆動バスにつながっている出力バッファが、このUSDピンに用いられる端末ロックピンを受信している入力バッファの出力を受信する。USD双方向性ピンに接続している場合、基本要素を、このピンのロジックチップのネットリストファイルに送信する：その理由は、この回路網に用いられている受信バスからの入力バッファが、このUSDピンに用いられる端末ロックピンを駆動しているトライステート出力バッファのデータ入力端子を駆動し、この回路網に用いられている駆動バスにつながっている出力バッファが、このUSDピンに用いられている端末ロックビ

ンを受信する入力バッファが一方の入力端子を駆動する2入力ANDゲートの出力を受信し、このピンの出力イネーブルコントロール回路網に割当てられたコントロールバスラインからつながっている入力バッファが、トライステート出力バッファのイネーブル入力端子及びANDゲートの他の入力端子を駆動するからである。

#### 【0052】1.4 構成

ロジック及び相互接続チップ技術のセクションにおいて説明したように、各チップの構成ビットパターンが、ERCGAネットリスト変換ツールによって出力される。リアライザ設計変換システムの最終ステージが、すべてのチップの発生する構成ファイルから設計部の單一バイナリー構成ファイルへと送られるデータを捕捉する。これによって、データがホストコンピュータ中に永久に記録される。リアライザシステムを各々使用する前に、構成ファイルからデータを読み出し、このデータをホストインターフェースを介してリアライザハードウェアに伝達し、更にチップにロードすることによって、使用する設計部のロジックチップ及び相互接続チップを構成する。ホストインターフェースと、システム中のすべてのロジックチップ及び相互接続チップとの間に、構成接続を設ける。チップを構成すると、すべてのロジック機能及び相互接続の合計は入力設計部によって特定されるものと一致し、設計部が動作できる。好適例においては、Xilinx製のLCAをロジックチップ及びクロスバーチップとして用いる。バイナリー構成ビットパターンを、1回に1ビットずつ、LCA構成メモリのシリアルシフトレジスタにロードすることによってLCAを構成する。各ビットを構成データ入力端子(DIN)に供給するとともに、1回構成クロック(CCLK)を周期化してロードする。各LCAとホストインターフェースとの間の特別な構成接続は設けていない。その理由は、システムが全部で3520個までのロジックチップ及びクロスバーチップを具えなければならないからである。その代わりに、マルチビットデータバスと構成クロックとを有する構成バスを設け、これを、LCAを有するすべてのボードに接続する。構成を行うために、ループ毎に、データバス中のビット数と同数のチップを用いてロジックチップ及びクロスバーチップをグループ化する。1グループ中のすべてのチップを並列に構成する。図40に示しているように、グループ中の各々のLCAは、バスデータバスの異なるビットに接続された構成データ入力端子を有している。各グループにおける構成コントロールロジックブロックを、ホストインターフェースバスと、バス構成クロックと、グループ中のすべてのLCAのクロック入力端子とに接続する。これらのコントロールロジックブロックを、ホストインターフェースバスを介して、ホストの命令によって選択的にイネーブルし、ホストインターフェースバスが意図するLCAのグループがクロック信号を受信できるようにし、このような構成をしている。これ

は、ホストコンピュータがリアライザシステムを構成するのに使う手続である。制御及びデータ伝送はすべてホストインターフェースを介して行われる：すべてのロジックチップ及びクロスバーチップを構成するために：各構成グループは：このグループのコントロールロジックブロックが、構成クロックをチップに送るように指示する。1個のLCA中の構成ビットと同数の周期の間：このグループ中の各チップの1構成ビットをバスデータバスにロードする。バス構成クロックを1回周期化する。次の周期へ。このグループのコントロールロジックが、もはや構成クロックを送信しないように指定する。次のグループへ。

#### 【0053】1.5 ホストインターフェース

ホストコンピュータの制御の下、リアライザシステムは周辺装置として動作する。ホストコンピュータは、設計部の構成ファイル中に記憶された構成ビットパターンを用いて、設計部に従ってリアライザシステムのロジックチップ及び相互接続チップを構成する。ホストコンピュータは、その外部リセット及びクロック信号を制御することによって連続的な設計部の動作を制御する。従って、ホストコンピュータは、スティミュレータ、サンプラー及びベクトルメモリを制御するとともに、ベクトル及び設計部メモリの内容を読み出し及び書き込むことにより、設計部と相互的に作用する。ホストコンピュータは、これらすべてをリアライザシステムホストインターフェースを介して行う。ホストコンピュータは、リアライザシステムのホストインターフェース及び構成バスを制御する。

##### 【0054】1.5.1 ホストインターフェースアーキテクチャ

リアライザシステムホストインターフェースを、完全に慣用となっているラインに沿って構成する(図41)。リアライザシステムは、ホストインターフェースバスコントローラ、構成バスコントローラ、クロック発生器及びリセットコントローラを具えている。これらの各々について以下に説明する。インターフェースを、リアライザハードウェアシャーシのボードに構成するとともに、ケーブル及びインターフェースカードを介して、ホストコンピュータのI/Oバスに接続する。ホストインターフェースのコントロール機能を、特定のコンピュータの要求に応じて、ホストコンピュータのメモリアドレススペース、又は、入力-出力バススペースのいずれかに作成する。

##### 【0055】1.5.2 ホストインターフェースバス

ホストインターフェースバスを、リアライザシステム中の、正規のロジックチップ及びメモリモジュールロジックチップの幾つか又はすべてのI/Oピンに接続する。ホストインターフェースバスは、リアライザシステムコントロール及びデータアクセス機能を割当てるアドレススペースを具えている。ホストは、最適なバスマスターであり、ホストインターフェースバスコントローラを介して、アドレス指定された読み出しコマンド及び書き込みコマンド

をバスに送出する。ホストは、データをリアライザシステム機能とホストとの間に伝送する。ホストインタフェースコントロールロジックブロックを、メインロジックチップ及びメモリモジュールロジックチップにプログラムし、リアライザシステム機能を、バスを介して制御できるようにする。このバスによって制御される機能の特別な例としては、サンプラー、スティミュレータ、ペクトルメモリアドレ丝指定、オペレーション、ホストデータアクセス、及び設計部メモリホストデータアクセスがある。これらのコントロールブロックは、ロジックチップにすべてプログラムされているため、バスアドレススペース中の特別な機能及びロケーションを、すべてロジックチップのプログラミングによって規定し、任意の所定の設計部又は動作モードの必要に応じて変化させることができる。ホストインタフェースバスの特定の設計部は、特定のリアライザシステムを具体化した場合のデータアクセススピード及びハードウエアビンの利用可能性に依存している。好適例では、Rバスと称する11ビンホストインタフェースバスを、すべてのロジックチップの専用I/Oビンに接続している。好適例のハードウエアは、データ及びアドレスのために用いられる8個の双方向性ラインと、クロックと、2個のコントロールラインとを具えている。Rバスは32ビットアドレススペースと8ビットデータ幅とを有しており、ホストが40億までのユニークロケーションから8ビットデータを読み出し又は書き込みできるようにしている。Rバスを、アドレスレジスタ、データレジスタ及びコントロールレジスタを介して、ホストコンピュータにインタフェースする。これらを、慣用の方法でホストインタフェースバスコントローラによって構成し、ホストコンピュータのメモリ又は入力/出力スペース中に設ける。Rバスに接続される機能の例示：

- 1) 一つのロケーションをRバスを介して書き込む際に、サンプリングクロックを周期化させ、ホストコンピュータのコマンドに従って、他のRバスロケーションからサンプリングされたデータの値を読み出す、1グループとなっている8個のサンプラー。
- 2) ホストが特定のRバスロケーションに書き込みを行う際に、データ値を変化させる、1グループとなっている8個のランダムアクセスメモリ。
- 3) 各メモリロケーションを唯一のRバスロケーションに作成している設計部メモリ。ホストデータアクセスを行い、Rバスのアドレススペースへの読み出し又は書き込みオペレーションによって、ホストがアドレス指定された設計部メモリロケーションを読み出し又は書き込みすることができる。

他のこのような機能を容易に案出することができる。図42に、Rバスの動作を示す。ロケーションを読み出すために、リアライザシステムを作動させるホストコンピュータでランするプログラムは、アドレスを、ホストイン

タフェースバスアドレスレジスタにロードするとともに、“読み出し”コマンドビットをホストインタフェースバスコントロールレジスタにセットする。その後、ホストインタフェースバスコントローラは、Rバス読み出しサイクルを作動させる。1回に8ビットずつ、各々Rバスクロックの周期で、アドレスはRバスデータラインに与えられる。第一サイクルの間、バスコントローラは“同期”Rバスコントローララインに、Rバスサイクルが開始していることを表明する。その後、“読み出し”Rバスコントロールライン及びRバスクロックが6回目の周期を成し、アドレス指定されたバスインタフェースコントロールロジックブロックが、その読み出しオペレーションを完成させることができる。Rバスクロックが6回目の周期を成す間、アドレス指定されたバスインタフェースコントロールロジックブロックが、読み出しデータを8個のRバスデータラインに伝送する。バスコントローラはこのデータを捕捉し、ホストインタフェースバスデータレジスタにロードするとともに、“コンプリート”コマンドビットを、ホストインタフェースバスコントロールレジスタにセットする。“コンプリート”ビットを認識するホストプログラムをセットし、データを読み出し、“コンプリート”ビットをクリアする。ホストプログラムが“書き込み”コマンドビットをセットし、書き込まれるべきデータをホストインタフェースデータレジスタにロードすることを除き、ロケーションの書き込みも同様である。バスコントローラは、5回目のクロック周期において“読み出し”Rバスコントロールラインを主張することはなく、6回目の周期においてデータをRバスデータラインに伝送する。この時、データがアドレス指定されたバスインタフェースコントロールロジックブロックによって捕捉される。ロジックチップ中に構成されるバスインタフェースコントロールロジックブロックは、上述した動作に従って、有限状態マシンと、完全に慣用となっている方法で制御された機能を用いてRバスを接続するデータバスとを具えている。

#### 【0056】1.5.3 構成バス

構成バス及びその使用とオペレーションとを構成セクションで説明する。バスは、ホストインタフェースを介してホストコンピュータによって制御される。バスを、データレジスタ及びコントロールレジスタを介してホストコンピュータにインタフェースさせる。これらのレジスタを慣用の方法でホストインタフェースハードウエアによって構成し、ホストコンピュータのメモリ又は入力/出力スペースに設ける。ホストコンピュータにおいてランする構成プログラムにて、構成バスデータレジスタにロードされるデータを構成バスデータバスに伝送する。ホストコンピュータが構成バスコントロールレジスタに書き込みを行う場合、ホストインタフェースハードウエアは構成バスクロックを1周期させる。

#### 【0057】1.5.4 コントローラ及びクロック発生

### 器のリセット

リアライザシステムのリセットコントローラは、2つのリセット信号を発生させる。システムリセット信号を、すべてのロジック及び相互接続チップのリセット入力ピンに接続する。ホストが主張する場合には、すべてのチップをリセットモードにし、構成の準備状態にする。慣用的な設計による1以上のプログラム可能なクロック信号発生器は、すべてのLチップのI/Oピンに分配される出力信号を有している。ホストは、その出力周波数を制御し、サイクルを停止させること、再びサイクルさせること、特定回数サイクルさせること、連続的にサイクルさせること等が可能である。ホストは、リアライザシステムにおいて実現される設計部のクロック発生器として使用される。クロック信号を制御することによって、設計部のオペレーションを制御する。設計部のリセット信号を、すべてのLチップのI/Oピンに接続する。設計部のリセット信号を、リアライザシステムにおいて実現される設計部をリセットする手段として用いる。これらの信号は、リアライザシステムによって実現される設計部との接続に利用することができる。特別な特性を入力設計ファイル中の回路網に組み込むことによって、入力設計部中の回路を、システムリセット又はクロックとして選定する。設計部リーダはこの特性を認識し、回路網を設計データ構造のリセット又はクロック回路網として特徴づける。設計変換システムの相互接続及びネットリストティング部分によって、この回路網をハードウェアの設計リセット信号又はクロック信号に接続されたI/Oピンに割当てる。

### 【0058】2 リアライザ設計変換システム

リアライザ設計変換システムは、設計部リーダ、基本要素コンバータ、パーティショナ、ネットリストティング及び相互接続システム、ERCGAネットリスト変換ツール及び構成ファイルコレクタを具えている(図43)。ここでは、入力設計ファイルを入力として用い、出力として構成ファイル及び対応テーブルファイルを作成する。これらは、リアライザハードウェアを構成、使用するための種々の応用に用いられる。入力設計を変換するために：

- 1) 設計部リーダを用いて、設計部をメモリデータ構造に読込む。
- 2) 設計部データ構造中の基本要素を、ホストEDAシステム固有の基本要素から、ERCGAネットリスト変換ツールと適合するネットリストファイル中に送信することのできるロジックチップ基本要素へ変換する。
- 3) パーティショナを用いて、各構成要素をどのロジックチップに対して使用するかを決定する。
- 4) ネットリストティング及び相互接続システムを用いて、リアライザハードウェアシステム中の各ロジックチップ及び相互接続チップに対するネットリストファイルを出力する。

5) ERGCAネットリスト変換ツールを繰り返して使用することによって、各ネットリストファイルを、対応する構成ファイルへ変換する。

6) 簡単な方法である構成ファイルコレクタを用いて、各ロジック及び相互接続チップの構成ファイルから、この設計部の单一構成ファイルへ送信される構成データを捕捉し、これを用いてリアライザハードウェアを構成する。

ここで説明した設計変換のための方法を、注意したことを探して、入力設計部のロジックゲートとフリップフロップとの組合せの変換に用いる。これらの方法の变形例を用いて、特定目的の基本要素を変換する。これらの变形例については該当するセクションにおいて説明する。

### 【0059】2.1 設計部リーダ

設計部リーダは、入力設計部ファイルを読み出すとともに対応する設計部データ構造を構成する。

#### 【0060】2.1.1 入力設計ファイルの要件

ホストEDAシステムによって作成される入力設計ファイルは、基本要素及びこれらの入出力ピンに関する記述と、2以上のピンを互いに相互接続するとともに、設計部の入出力端子と相互接続する回路網に関する記述とを有している。入力設計ファイルは、ネームのような、基本要素、ピン及び回路網に関連する情報も具えている。入力設計ファイルは、リアライザ設計変換システムが読み出すことのできるように、基本要素の形態となっていかなければならない。“基本要素”とは、ゲート、フリップフロップ又はメモリデバイスのような基本的ロジック素子である。設計者が特定することのできる基本要素によって規定される、より高レベルの構成を、リアライザシステムの読み出し前に、EDAシステムによって構成基本要素に変える必要がある。入力設計部において許容される一組の基本要素の一例としては、以下のMentor Graphics Quick Sim 基本要素がある。これは、好適例において読み出される：

- ・25個までの入力端子を有する簡単なゲート(BUF, INV, AND, OR, NAND, NOR, XOR, XNOR)
- ・特別ゲート(DEL:ディレイ要素; RES:抵抗器; NULL:開放回路)・トライステート出力である無方向性伝送ゲート(XFER)
- ・記憶デバイス(LATCH、レベル感応フリップフロップ又はREG、クロックされたフリップフロップ)
- ・メモリデバイス(RAM又はROM)

### 【0061】2.1.2 設計部データ構造

設計部リーダは、設計部データ構造を構成し、これを用いて基本要素を、ロジックチップネットリストティングに適した形態に変換し、基本要素をロジックチップサイズの区分に分割し、いかにしてロジックチップを相互接続するかを決定する。また、最終的には、設計部データ構造を、各リアライザロジックチップのネットリストファ

イルへと読出す。データ構造は、設計部の各基本要素、各ピン及び各回路網のレコードから成っている。各レコードは、関連に応じて、他のレコードに対するエンティティ及びリンク（すなわちポインタ）についてのデータを具えている。

- ・ “基本要素”とは、ゲート、フリップフロップ又は、メモリデバイスのような基本ロジック要素である。
- ・ 各基本要素は、基本要素レコードによって表現される。基本要素レコードは、そのタイプ及び対象識別子のような基本要素に関するデータを有するとともに、他の基本要素とのリンクを有している。
- ・ 基本要素レコードは二重にリンクされたリストである。
- ・ ピンとは、基本要素の入力接続又は出力接続である。
- ・ 基本要素のピンは、基本要素レコードと隣接して配置されるとともに、ピンネーム、ピンが反転されているかどうか、ピンの出力ドライブ等のピンに関するデータを有する、一連のピンレコードによって表現される。
- ・ 各基本要素は、一つの出力ピンのみを有しており、これを、任意のピンレコードとすることができる。
- ・ “回路網”とは、相互接続されたピンの集合である。
- ・ 各回路網は、回路網レコードによって表現される。この回路網レコードは、その対象識別子のような回路網についてのデータを有するとともに、他の回路網へのリンクを具えている。
- ・ 回路網レコードを、二重にリンクされたリスト中に設ける。
- ・ 回路網のピンを、单一リンクの循環リスト中に設ける。
- ・ 各ピンレコードも、ピンの回路網へのリンクを有している。
- ・ 各回路網レコードは、回路網中の一つのピンへのリンクを有している。

図4.4 aは、回路網の簡単な例を示しており、図4.4 bは、設計部データ構造を用いて回路網をどのように表現するかを示している。

#### 【0062】2.1.3 設計部リーダーの方法論

設計部リーダーは、入力設計ファイルから実現されるべき設計部を読出すとともに、対応設計部データ構造を構成することを目的としている。ここでの説明は、Mentor Graphics 設計ファイルに適合している。他も同様である。設計ファイルは、設計部中の各基本要素に対して、インスタンス (instance) と称するエントリを有している。設計ファイル中のインスタンスに取付けられた基本要素の特定のアスペクトについての情報が特徴である。以下に示す各工程の括弧内のネームは、好適例において用いられる実際のルーチンのネームである。

1) 基本要素のレコードと、設計ファイル中の各基本要素に対するメモリ内データ構造中のピンのレコードとを以下のように作成する：各設計ファイルの基本要素の各

インスタンスは：基本要素のタイプが何であるかを読み出す (get\_dfi\_model\_type)。ユーザが規定したこの基本要素の配置についての情報が存在する場合には、これを“1チップ”特性から得る。；設計ファイルインターフェースを用いて、より高度な非基本的インスタンスをサーチする。このインスタンスはこの基本要素を見え、同様に特性を調べる (get\_dfi\_1chip)。インスタンスの各ピンは：ピンのネーム等の、ピンに関する任意の特性を捕捉する (get\_dfi\_pin\_info)。次のピンへ。メモリ内設計データ構造中のレコードを、この基本要素及びピンに割当てる (alloc\_prim\_and\_pins) とともに、基本要素レコードを満たす。各々のピンは：ピンレコードを満たす。（設計ファイル中の接続された回路網の対象識別子ナンバを記憶し、トラックの識別子のナンバを、最大に維持する。）次のピンへ。次の設計ファイルインスタンスへ。ポインタのテーブル (net\_table) を、ピンレコード(ピンポインタ)に割当てる。各構成し得る回路網に対するピンレコードに対象識別子ナンバで索引を付ける。最初はNULLとする。上記最大識別子ナンバに従ってテーブルを作る。

2) 各回路網のピンレコードをリンクし、以下のよう、循環的にリンクされたリストとする：メモリ内データ構造中の各基本要素レコードにおいて：各ピンレコードは：'id' を、このピンの接続された回路網の対象識別子ナンバとすると、net\_table[id] が非NULLピンポインタを有している場合、これをこのピンレコードの "next\_pin" リンクへコピーする。このピンに対するピンポインタを、net\_table[id] に入れる。次のピンへ。次の基本要素へ。

3) 各回路網に対する回路網レコードを以下のように作成する：net\_table 中の各ピンポインタは：回路網レコードを割当てる。リンクを用いて、回路網レコードを、ピンポインタの指示するピンに接続する。対象識別子ナンバを用いてアドレス指定を行うことにより、設計ファイルインターフェースから回路網に関する情報を得る (dfi\_get\_net, get\_dfi\_net\_info)。この回路網におけるピンレコードの循環リスト中の各ピンについて：回路網レコードに指示する。次のピンへ。循環リストを閉じる：最終ピンを最初のピンにリンクさせる。次のピンポインタへ。net\_table 記憶機能を解除する。

4) 内部メモリ設計データ構造が終了し、設計部変換プロセスの後段が必要とする実現されるべき設計部についてのすべてのデータを表示する。

#### 【0063】2.2 基本要素コンバータ

基本要素変換は、Mentor Graphics Quick Sim 基本要素のような、ホストが特定する基本要素からの設計部データ構造中の基本要素を、ERCGAネットリスト変換ツールと適合させ、ネットリストファイル中に送出される

ロジックチップ指定の基本要素に変換することを目的としている。この変換のいくつかは、簡易且つ直接的なものであり、単に、基本要素のタイプ及びピンネームのみを置換えるのみである。その他の変換はかなり複雑である。以下に示す特定の引用例は好適例のためのものであり、Mentor Graphics 入力設計ファイル中に存在する Mentor Graphics Quick Sim のホストが特定する基本要素と、Xilinx LCAロジックチップが特定する基本要素とを使用する。設計部のゲートが、ロジックチップの特定するゲート基本要素中で許容されるよりも多くの入力端子を有している場合、このゲートを等価な機能を有するゲートの回路網で置換える。このゲート回路網の各々は許容数の入力端子を有している。このような置換を行うために、ゲートの基本要素レコード及びピンレコードを取り除き、新しいゲートの基本要素レコード及びピンレコードと、回路網中の新しい回路の回路網レコードとを加え、置換えられたゲートに接続されているピン及び回路網のピンレコード及び回路網レコードにリンクする（図45a）。設計部のフリップフロップが、ロジックチップの特定するフリップフロップ基本要素において利用することのできない機能を有している場合、フリップフロップを等価な機能を有するゲートの回路網で置換える。まず第1に、回路網を解析し、機能を常に一定の値ではない回路網に接続するかどうかを調べる。例えば、ホストが特定する基本要素REGを、常に一定の値ではない活動回路網に接続されたダイレクトクリア入力及びダイレクトセット入力の両方を用いて使用する場合に、メモリ内設計部データ構造における基本要素を、必要に応じて機能する747TTLフリップフロップロジックパートに用いられるのと類似のゲートの回路網で置換える。しかし、ダイレクトセット入力を、グランド回路網のような常にロジック値ゼロの回路網に接続する場合、すなわち、例えばグランド回路網に接続された1つの入力端子を有するANDゲートの場合には、ダイレクトクリアのみが実際に必要とされ、その代わりにロジックチップDフリップフロップを代用する。S\_ROM基本要素は、アドレス入力端子、双方性データポート、読出しイネーブル及び書込みイネーブルを有するランダムアクセスメモリである。RAM基本要素を、1以上のリアルライザ設計部メモリモジュール中に作成する。基本要素変換ソフトウェアは、S\_ROMを利用可能な設計部メモリ構成と直接マッチする1以上のX\_ROM基本要素に変換する。S\_ROM（出し専用メモリ）基本要素は、イネーブル入力端子が存在せず、且つ、ROMの内容を含むファイルを附加していることを除き、S\_ROMと同様のものである。S\_ROM基本要素を設計部メモリ構成と直接マッチする1以上のX\_ROM基本要素に変換する。X\_ROMは読出しイネーブル入力端子を有しているが、書込みイネーブルを有していない。内容ファイルのバスネーム及びとのS\_ROMに対する

そのロケーションを、各X\_ROM基本要素を用いて記憶する。リアルライザハードウエアをこの設計部を用いて構成する場合、構成システムがバスネームを用いて、X\_ROM内容を取り出すとともに、これらをホストインターフェースを介して設計部メモリにロードする。分離出入力データポートを有するS\_RAMは同様に操作される。しかし、これはMentor Graphics Quick Sim 基本要素中には設けない。オリジナル設計部のピン及び回路網は、初期特性すなわち“inits”を送信し、ある場合に持続的に幾つかの初期値を送信していることを示している。既知の値（0又は1）である持続的な初期特性がリアルライザシステムによって観測され、ピン又は回路網を適切な“グランド”（すなわち、ロジック値0）又は“VCC”（すなわち、ロジック値1）の回路網に接続する。特定のMentor Graphics の場合では：

- ・T、X、R及びZの初期特性を無視する。OSF (=0=0S) 又は1SF (=1=1S) のみを観測する。
- ・回路網、すなわち、回路網の任意の出力ピンのOSF 又は1SF によって、出力ピンをグランド又はVCC回路網の一部分とする。

・入力ピンのOSF 又は1SF によって、このピンを絶縁し、グランド又はVCC回路に接続する。

【0064】オリジナル設計部の出力ピンは種々の強さのドライブを伝達し、シミュレータによって形成されるべき出力構造のタイプを示す。リアルライザシステムは、基本要素変換の際に、幾分これらの強さを観測する。出力端子を、ハイのときにドライブの強さが零であり、ローのときにドライブの強さが強であるように特徴づける場合、出力端子はオープンコレクタとして識別され、これを他の同様の出力端子及びレジスタに、ロジック設計者が“ワイヤード・アンド”回路網（図45b）と称する形態で接続するのが正当的である。同様に、ローのときにドライブの強さが零であり、ハイのときにドライブの強さが強である出力端子はオープンエミッタであり、“ワイヤードオア”を形成するのに用いられる。最終的にイネーブルされなければ、XFER基本要素の出力ピンはドライブを有さず、他のXFER出力端子及びレジスタと配線され、“トライステート”回路網を形成する（図45c）。これらの構造のすべては、基本要素変換システムによって認識され、トライステート回路網のセクションにて説明したように、等価な機能を有する積の和のロジック回路網に変換される。特定のMentor Graphics の場合：

- ・X-ステートドライブの強さを無視する。
- ・1以上のXFER出力端子を回路網に接続することができるが、他の出力端子を接続することはできない。例外としては、入力ピンをグランド又はVCC回路網に接続しているRES（抵抗器）を接続することもできる。XFERがイネーブルされない場合、回路網値はロジック値ゼロであり、VCCに接続されたRESを接続しな

い場合には、ロジック値1となる。1より多くのXFERをイネーブルする場合、結果は論理的ORとなる。

- OC/0E出力端子(SZ/ZS)は、同様のドライバを用いても駆動することのできる回路網のみを駆動することができる。駆動されていない場合、OC回路網はハイとなり、RESを接続しているかどうかを無視してOE回路網はローとなる。

- RZ、ZR、RSS、SR又はZZ出力ドライブをする基本要素を、エラーなしで除去する。

- 以下の出力回路網の条件によって致命的な誤りが生じる：すなわち、1より多くのストロング(strong)、ストロング及び抵抗器、1より多くの抵抗器、XFER及びストロング、XFER及びSZ、XFER及びZS、抵抗器を有していないSZ又はZS、ストロングを有するSZ又はZS、SZ&ZSである。

【0065】Mentor Graphics ホスト及びXilinx LCAを有する好適例の基本要素を変換するための特別な手続は、以下に示すとおりである（サブルーチンのネームが各ヘッダの後に統いている）：

- ホストが特定する基本要素のLCA基本要素への初期変換(convert\_s\_to\_x)。ホストが特定する基本要素は、上述のMentor Graphics Quick Simセットから成り、「S\_」プレフィックスを用いてネームが付けられる。LCAが特定する基本要素は、Xilinx.xnf仕様から成り、「X\_」プレフィックスを用いてネームが付けられる。各基本要素は：S\_INVの場合、X\_INVと置換え、ピンのネームを置換える。S\_BUSの場合、X\_BUSと置換え、ピンのネームを置換える。S\_RESの場合、X\_BUF、RRドライブと置換え、ピンのネームを置換える。S\_DELの場合、IN&OUT回路網を結合する。S\_AND、S\_NAND、S\_OR、S\_NOR、S\_XOR、S\_XNORの場合、X\_AND、X\_NAND、X\_OR、X\_NOR、XXOR、X\_XORと置換え、ピンネームを置換える。（25ピンよりも多い場合、エラー）S\_REGの場合、X\_DEFと置換え、ピンネームを置換える。S\_LATCHの場合、X\_DLATで置換え、ピンネームを置換える。S\_XFERの場合、後にまでピンネームを後にまで残しておく。S\_NULLの場合、ピンネームをデリートする。S\_RAM又はS\_ROMの場合、ピンネームを後にまで残しておく。次の基本要素へ。

- 初期特性の処理(get\_init)。メモリ内設計部データ構造中の2つの回路網は特別なものである。すなわち“gnd”（ロジック値0）及び“VCC”（ロジック値1）である。各回路網は：回路網の初期特性がOSFである場合、gnd回路網が、初期特性がOSFであることを認識できない場合、次の回路網へ、認識できる場合には、この回路網をgnd回路網と組合せ、次の回路網へ。回路網の初期特性が1SFであることを認識できない場合、次の回路網へ、認識できる場合には、この回路網をVCC回路網と組合せ、次の回路網へ。各出力ピンは：ピンの初期特性がOSFの場合は、gnd回路網が、初期特性がOSFであることを認識できない場合には次の回路網へ、認識できる場合には、この回路網をgnd回路網と組合せ、次の回路網へ。ピンの初期特性が1SFの場合には、VCC回路網が、初期特性が1SFであることを認識できない場合には、次の回路網へ、認識できる場合には、この回路網をVCC回路網と組合せ、次の回路網へ。次のピンへ。次回路網は：ピンレコードを、リスト中に入れる。各入力ピンは：ピンの初期特性がOSFであり、且つこの回路網がgnd回路網でない場合、ピンを回路網から切り離し、gnd回路網に接続する。ピンの初期特性が1SFであり、且つこの回路網がVCC回路網でない場合、ピンを回路網から切り離し、VCC回路網に接続する。次のピンへ。次の回路網へ。

3)すべての出力ピンをチェックし、リアライザシステムのドライブの強さに影響を与えないで基本要素を取り除くとともに、常にイネーブル又はディゼーブルされているXFERを取り除く。各基本要素は：出力ピンがドライブSS、RR、SZ又はZSを有していない場合、次のピンへ。出力ピンがRZ、ZR、RS、SR又はZZを有している場合には、出力ピンを切り離し、除去する。出力ピンがS\_XFERである場合：E0（イネーブル）ピンが常にローである場合には、基本要素をデリートする。E0ピンが常にハイである場合、BUFを代用する。次の基本要素へ。

- 不法なマルチ出力接続を選別し、ワイヤードOR、ワイヤードAND及びトライステート回路網及びこれらのドライバを識別し、変換する(wired-nets)。各回路網は：ピンレコードを、リスト中に入れる。XFER出力ピン、入力ピン及びnon-XFER出力ピンを数える。これらのピンは、ストロング(strong)かつレジスティブ(resistive)なSZ（オープンコレクタ）又はZS（オープンエミッタ）である。ストロングを有する又はドライブ強度を有しない唯一の出力ピンの場合、次の回路網へ。1以上のレジスタを接続する場合、すべてのレジスタを、「VCC」（ブルアップ）又は‘ground’（ブルダウン）のいづれか一方に接続していることを確認し、いづれかを記憶する。以下の場合には、エラーであり、イグジット(exit)する：1より大きなストロング、1より大きなレジスタ。XFER及びストロング、XFER及びSZ、XFER及びZS。レジスタを有していないSZ又はZS、ストロングを有するSZ又はZS、SZ及びZS。1ストロング且つ1レジスタの場合には、レジスティブドライブを有する基本要素をデリートする。1より大きなSZの場合：（オープンコレクタ ワイヤードAND）各出力ピンは：レジスタ

の場合、出力ピンがプルアップであることを確認し、これをデリートする。レジスタでない場合には、このピンのドライブをストロングとし、X-IN Vを構成し、この入力端子を出力ピンに接続するとともに、この出力端子を回路網に接続する。次のピンへ。回路網を“フローティングハイ”トライステート回路網として特徴付け、OR/NORゲートを用いて、相互接続によってこれを構成する。1より多くのZSの場合：(オープンエンミッタ ワイヤードOR)各出力ピンは：レジスタの場合：ピンがプルダウンであることを確認し、その後、これをデリートする。レジスタでない場合は、ピンのドライブをストロングにする。次のピンへ。回路網を“フローティングロー”トライステート回路網として特徴付け、インタコネクタによって、ORゲートを用いてこの回路網を構成する。0より多くのXFER且つレジスタ無し、又は、プルダウンの場合：(トライステート“フローティングロー”)各S-XFERは：AND I0を構成するXFER E0(又はENA)及びAND I1を構成するXFER I0を用いて、S-XFERをX-ANDに変換する。次のS-XFERへ。任意のレジスタ基本要素をデリートする。回路網を“フローティングロー”トライステート回路網として特徴付け、ORゲートを用いて、相互接続によってこれを構成する。0より多くのXFER基本要素且つ、プルアップの場合：(トライステート“フローティングハイ”)1個のS-XFER基本要素の場合：NAND I0を構成するXFER E0(又はENA)及びNAND I1を構成するXFER I0を用いて、S-XFERをX-NANDに変換し、反転する。1より多くのS-XFER基本要素の場合：各S-XFERは：AND I0を構成するXFER E0(又はENA)及びAND I1を構成するXFER I0を用いて、S-XFERをX-ANDに変換し、反転する。次のS-XFERへ、レジスタ基本要素をデリートする。回路網を“フローティングハイ”トライステート回路網として特徴付け、OR/NORゲートを用いて、相互接続によってこれを構成する。次の回路網へ。

5) 等価な機能を有するゲート回路網を用いて、LCAが特定するゲート基本要素中に許容されるよりも多くの入力ピンを有する任意のゲートを置換する。ゲート回路網の各々は、許容数の入力端子を有している。(wide-gates)各基本要素は：そのゲート及び入力端子が5よりも多く、25以下である場合(XC3000ロジックチップを用いるものと仮定する)：同一種類の最終出力ゲートを構成する。その出力端子を、オリジナル出力端子及びコピー特性に接続する。必要とされる、より小さな入力ゲートの各々は：(ANDまたはNANDオリジナル等のためのANDを用いて)ゲートを割当てる。ゲートの出力端子を最終ゲート入力端子に接続する。ゲートの入力端子を本来の入力端子に接続する。次のゲートへ。オリジ-

ナルのワイドゲートをデリートする。次の基本要素へ。6) フリップフロップの機能をチェックするとともに、LCAの制約に合致すように配置する。XC3000シリーズを用いる場合、フリップフロップはダイレクトクリアを有するがダイレクトセットは有しておらず、従って両者を有するわけではない。すべてのS-DEFは、セット及びクリアのためのピンを有しているため、基本要素は、ピンを有しているといいとにかくかわらず、置換する必要がある。XC3000はラッチをサポートしないため、ラッチを、等価なゲート回路網で置換する必要がある(flops\_for\_3K)。各基本要素は：基本要素がDLAT又はDEFである場合：各ピンを記憶とともに切離す。SD及びRD回路網がゲートを介して、直接又は非直接的に‘ground’又は‘VCC’であるかをチェックすることによって、SD及びRDが常にローであるかどうかを見出す。各基本要素がDLATである場合：ゲートの回路網中に組込み、必要な場合にのみ、SD及び/又はRDのためのゲートを具えるラッチを構成する。オリジナル基本要素及びピンレコードをデリートする。各基本要素がDLATでなく、DEFである場合：SDが常にローの場合、SDを用いずにX-DEFを構成し、これを接続する。SDがローでなく、RDがローの場合、入力端子及び出力端子にX-IN Vを用いてX-DEFを構成し、これを接続し、X-DEFのRDピンを、SD回路網に接続する。SDが常にローではない場合、6個の3入力NAND及び2INVの回路網に組込み、TTL7474と同様に、セット及びクリアを有するDEFを構成する。オリジナルの基本要素をデリートする。次の基本要素へ。

7) S-RAM及びS-ROMを、X-RAM及びX-ROMに変換する。各基本要素は：基本要素がS-RAM又はS-ROMである場合：そのハイト(height)(ワード数)を、アドレスピン(ハイト=2ビンカウントの累乗)及び、データピンナンバと等しいアドレピンの幅をカウントすることによって決定する。各利用可能な設計部メモリ構成は：S-RAM/ROMハイトを、設計部メモリハイトで割算し、必要なモジュールの行数を得る。S-RAM/ROMの幅を設計部メモリの幅で割算することにより、必要なモジュールの列数を得る。この構成のために必要なモジュールの総数は行掛け列である。次の構成へ。必要なモジュール数が最小となる構成を選択する。行よりも多くのモジュールを必要とする場合、モジュールの各行に対する出力端子とハイオーダのアドレス回路網に接続された入力端子とを用いて、デコーダの基本要素及び回路網を構成する。各行は：(X-RAMのみ)2個の入力端子を用いて書き込みイネーブルのためのANDゲートを構成する：2個の入力端子とは、この行のデコーダ出力端子及びS-RAM書き込みイネーブルである。2つの入力端子を用いて、行読み出しイネーブルのためのANDゲートを構成する：こ

の2個の入力端子とは、この行のデコーダ出力端子及びS-RAMリードイネーブルである。次の行へ。モジュールの各行について、各コラムは：X-RAM/ROM基本要素を構成するとともにその構成を記憶する。X-ROMの場合、そのファイルネーム及び行数及び列数を記憶する。X-RAM/ROMの読み出し及び書き込みイネーブルピンを、この行の(X-RAMのみの)読み出し及び書き込みイネーブルピンに接続（又は、この行が1つのみの場合には、S-RAMのイネーブルピンに接続）する。X-RAM/ROMのアドレスピンを、より低オーダーのアドレス回路網に接続する。X-RAM/ROMのデータピンを、この列に対応する一組のデータピンに接続する。次の列へ。次の行へ。オリジナルのS-RAM/ROM基本要素をデリートする。次の基本要素へ。

#### 【0066】2.3 パーティショナ

リアルザハードウェアはユニット及びサブユニットの階層から成っている。すなわち、ボードは論理チップを見え、ボックスはボードを見え、ラックはボックスを見える等である。各ユニットは、ユニット固有のロジック及び他のユニットとの相互接続のための容量を有している。実現すべき設計部をこの階層に応じて区分化し（すなわち、サブ分割）、基本要素の多重クラスタとする。各ボックスのロジック及び接続容量に応じて作成された一組のボックス区分を設ける。これらの区分の各々を、ボードのサブ区分に分割する等により、単一の論理チップにプログラムするのに十分な程小さな区分に分割する。同様の分割化方法を、階層の各レベルに順次適用する。分割化の目的とは：

- 1) 各基本要素を、ボックス、ボード及びロジックチップに割当てること、
- 2) ユニット（ボックス、ボード又はロジックチップ）の相互接続能力の下、区分と接続している回路数を保持すること、
- 3) ユニットの限界内で分割化に用いられるロジックの量を保持すること、および
- 4) 区分の総数すなわち使用されるユニットの総数を最小にすることである。

#### 【0067】2.3.1 分割化方法

ここで説明する好適分割化方法は、“カット(CUT)回路網”（クラスタの外部における基本要素の接続）の数が最小であり、お互いに高密度で相互接続されたロジック基本要素を密集させるプロセスに基づくものである。各クラスタは、ボックス、ボード又はチップに対応する区分である。前記プロセスは、以下において指摘する、相当な改良を伴うPalesko及びAkersの従来の区分化方法(Chet A. Palesko, Lex A. Akers, "Logic Partitioning for Minimizing GateArrays", IEEE Trans, CAD, NO.2, pp. 117 ~121, April 1983)に基づいている。すべての基本要素を初めから見えていたるクラスタに、割当てられていない基本要素から成る“ナル(nul

l) クラスタ”を設ける。まず、ナルクラスタからシード(seed)クラスタを選択し、その後、これをリピートし、すべてのナルクラスタ基本要素の“利点”を計算し、最も大きな利点を有する基本要素を選択することによって各クラスタを形成する。基本要素の利点が大きくなるにつれて、ロジッククラスタに組込むのに適したものとなる。

#### 【0068】2.3.2 有利な機能

部分的な利点とは、この基本要素をクラスタに組込む場合にこのクラスタのカット回路網の数がどのように変化するかに基づくことである。ユニットを最大相互接続可能性以下に保持するために、クラスタのカット回路網総数をカウントする必要がある。基本要素のピンを見えている各回路網は垂直となっており、基本要素を組込むものを仮定すると、閉回路網、“多数カット”の回路網又は“單一カット”的回路網のいずれかに分類される。一つのみの接続をクラスタの内側に設けると單一カット回路網であり、1より多くの接続をクラスタの内側に設けると多数カット回路網となる。閉回路網は、全体がクラスタ中に含まれる回路網をいう。図46は、クラスタと、3個の回路網S, M及びEによって接続された3個の基本要素とを示すとともに、影を付けた基本要素をクラスタ中に移動させるとどうなるかを示している。クラスタのカット回路網数を1個増加させると、回路網Sは、單一カット回路網となり、カット回路網数を1個減少させると、回路網Eは、閉回路網となる。回路網Mは、クラスタのカット回路網数を増加、減少させても多数カット回路網であり、このため無視される。クラスタ回路網の変化は、單一カット回路網と閉回路網との差である。すなわち：

$$[\text{クラスタカットの変化}] = [\text{單一カット回路網}] - [\text{閉回路網}]$$

好ましい有利な機能とは、各基本要素の個数を定め、クラスタに組込むには、どの基本要素を選択するのが最適かを決定することである。最大数のピンと最も強固に接続された基本要素を選択するのが最適である。この機能は、Palesko and Akers の分割化に関する最初の有利な機能である。すなわち：

$$[\text{クラスタカットの変化}] > 0 \text{ の場合} : [\text{利点}] = [\text{基本要素のピン数}] / [\text{クラスタカットの変化}]$$

$$[\text{クラスタカットの変化}] \leq 0 \text{ の場合} : [\text{利点}] = [-(\text{クラスタカットの変化}) * 100] + 100 + [\text{基本要素のピン数}]$$

この基本要素をクラスタに組込む場合、クラスタカットの数が増加する。多くのピンを見えれば見える程、加えるカット回路網の数が少なければ少ない程優れている。クラスタのカット数が減少する場合、減少の程度は100倍となり、100が加えられ、カットを減少させない、いかなる基本要素の利点よりも大きな利点が得られることを保証している。クラスタカットが減少している

場合、ピンの数を増やし、接続を断ち切ることにより、基本要素を、更に多くのピント結び付ける。好適な方法で用いられる改良とは、クラスタカットが増加する場合に、ピン数の項をピン数／カット変化の比に加えることである。この変更は、前記比が等しい場合に、より多くのピンを有する基本要素を選択することによって、初期シード選択を改善することができる。前記比を10倍することにより、ピン数単独よりも効果的にする。このことは、好適且つ有利な機能である。すなわち：

【クラスタカットの変化】>0の場合：【利点】 =  
([10 \* (基本要素のピン数)] / [クラスタカットの変化]) + [基本要素のピン数]

【クラスタカットの変化】≤0の場合：【利点】 = [- (クラスタカットの変化) \* 1000] + 100 + [基本要素のピン数]

#### 【0069】2.3.3 クラスタの構成

初めに、すべての基本要素をナルクラスタ中に配置する。ユーザは、選択するLチップ、ボード等を表示する特性を入力設計部に付加することによって、基本要素を特定のクラスタ中に予め配置することができる。この時、これらの予め配置された基本要素は、クラスタ情報に関するシード配置としての役割を果たす。このことによって、ユーザは、タイミング感知基本要素又は他の高優先基本要素を集めることができ、また、高優先基本要素に強固に接続されている他の基本要素を集めることによって、分割化の結果を変えることができる。各々の新しいクラスタに関して、始めに、新しいクラスタの未配置の基本要素の利点を計算し、基本要素レコード中に記録する。予め配置を設けない場合、最も有利な基本要素（すなわち、最も大きな利点を有するもの）を、クラスタの初期シード基本要素として選択する。最も有利な基本要素の各々をクラスタ中に移動させた後、組込まれた基本要素と同一の回路網におけるピンを有する基本要素のみが、利点を再び計算する。他の基本要素は移動によって影響を受けないので、クラスタのこれらの利点に変わりはない。従って、クラスタが一杯になるまで、新しい最も有利な基本要素をクラスタ中に移動させる。クラスタが一杯となる時を決定することは、ロジック容量及び相互接続（すなわち、クラスタカット回路網）の両方に依存している。基本要素を、クラスタ中に移動させる場合、常に、基本要素によってクラスタ中のゲート数が増加する。しかし、基本要素によって、カット回路網は、必ずしも増加しない。減少することもあり得る。Pallesko and Akers の方法による相互接続の限界に達する場合、基本要素がロジック容量又は相互接続の限界を超えないならば、最大よりも少ない利点を有する基本要素をクラスタ中に移動させることができるが、局所的相互接続の最大を超える場合には基本要素をクラスタ中に移動させることはできない。ここで説明した方法を、以下の点において改良する。すなわち：マーカ（marker）の

アレイを設ける。各マーカに対して、マーカは、起動可能である。基本要素を1個ずつクラスタ中に移動させる。各々の移動の後、クラスタカット回路網の数をチェックする。クラスタカット回路網の数がユニットの最大利用可能相互接続機能以下の場合、移動を、相互接続が可能なものとして認識される。最大ロジック容量の限界に達した場合、最後の移動は、相互接続可能なものは認識されず、最後の移動が相互接続可能となるまでは移動は行われない。ユニット（ラック、ボックス又はボード）をサブユニット（ボックス、ボード又はLチップ）に分割化するために：予め配置されていないすべての基本要素をナルクラスタ中に移動させる。各クラスタは：各ナルクラスタ基本要素の利点を計算するとともに記憶する。起動カウンタの数をゼロにする。【クラスタ基本要素カウント】 < 【最大ロジック容量】の場合、移動カウンタをインクリメントする。最も有利な基本要素をクラスタ中に移動させる。どの基本要素を移動させるかを、移動カウンタに記録する。【クラスタカット回路網】 < 【最大相互接続容量】の場合、move【移動カウンタ】=OKをマークする。【クラスタカット回路網】 ≥ 【最大相互接続分量】の場合、move【移動カウンタ】=NOT OKをマークする。このクラスタに接続された回路網の利点を計算する。次のリピートへ。move【移動カウンタ】=NOT OKの場合、move【移動カウンタ】に記録された基本要素をクラスタから外へ移動させる。移動カウンタをデクリーメントする。次のリピートへ。次のクラスタへ。区分化のプロセスは、すべての基本要素を首尾よくクラスタ中に配置するまで又はすべてのクラスタが一杯となるまで統き、プロセスが終了する。好適例の全設計部を区分化するために：ラッチレベルのボックス、すなわち、各ボックス毎に1個のクラスタに分割化する。この際：

【最大ロジック容量】 = 【全ボックス及び最大相互接続容量】 = 【ボックス毎のY-Zバス】  
を用いている。各ボックスクラスタは：ボックスレベルのボードへの区分化、すなわち、各ボード毎に1個のクラスタに分割化する。この際：

【最大ロジック容量】 = 【全ボード及び最大相互接続容量】 = 【ボード毎のX-Yバス】  
を用いている。次のボックスクラスタへ。各ボードクラスタは：ボードレベルのLチップへの区分化、すなわち、各Lチップ毎に1個のクラスタに分割化する。この際：

【最大ロジック容量】 = 【Lチップ及び最大相互接続容量】 = 【Lチップ毎のL-Xバス】  
を用いている。次のボードクラスタへ。

#### 【0070】2.3.4 容量の限界

この方法に用いられる最大ロジック容量の限界の決定は、使用するロジックチップの特性に依存している。Xilinx製のLCAを論理チップとして使用する場合、これ

らは、構成可能な論理ブロック(CLB)を基礎にしている。CLBの各々によって、多くのゲート及びフリップフロップを具現化することができる。CLBの数は、ゲート及びフリップフロップ機能、どの位多くの機能を設けるか、どのくらい多くのピンを有するか、どのように相互接続するかに依存している。分割化前に設計部をCLBの形態に変換する場合、CLBを分割化された基本要素とし、ロジック容量の限界はLCA中のCLBの数に基づいている。分割化前に設計部をCLBの形態に変換しない場合、ゲートを、分割化された基本要素としてロジック容量の限界は、LCAに適合すべきゲートの数に基づいている。ゲートが消費する容量の程度に応じて、ゲートの重みをかけ、分割化の結果を改善する。各クラスタを構成するのに用いられる限界は、必ずしもすべて同一である必要はない。ユニット間でロジック及び相互接続容量特性を変える場合、適切に限界を設定してこれらユニットのクラスタを構成する。

**【0071】2.3.5 リアライザの区分化**  
プロセスを分割化することによって、設計部の各基本要素に対する3ナンバーボックス／ボード／チップロケーションが得られる。このロケーションは、設計部データ構造の基本要素レコードに記憶される。このことによって、設計部回路網の各基本要素は、Lチップ、ボード、及びボックスに亘ってトレースすることができる。ネットのタイミングは、システムにおける回路網をトレースするとともに、相互接続クロスバーチップ及び論理チップを介して、ディレイを加算することによって評価される。相互接続の段階では、回路網中に見えられた種々のボックス／ボード／チップ基本要素の組合せ枚数に基づき、ネットリストをオーダーする。このようにして、相互接続は最も複雑な回路網から最も複雑でない回路網までを保証する。最終的に、回路網及び回路網レコードの基本要素が、Lチップ及びクロスバーチップに亘って回路網を明確に作成する情報を與えているので、局所的な図式的ロジック変化を再度区分化する必要はなく、変化させられた回路網を見えるチップを更新する必要があるだけである。これによって、設計部を再度区分化せずに設計部を変換させることができる。

#### **【0072】2.4 ネットリストティング及び相互接続システム**

リアライザネットリストティング及び相互接続変換システムは、入力設計に応じて、リアライザハードウェアを構成するのに用いる、リアライザシステム中の各ロジックチップ及びクロスバーチップに関するネットリストファイルを構成することを目的としている。どのようにして部分的クロスバー相互接続をネットリストすべきかの決定を、次の3段プロセスの総合によって行う。

ステージ1：ステートメントは、各基本要素毎に設計データ構造中のすべてのロジック基本要素に関するロジックチップネットリストファイルに送信される。

ステージ2：完全に單一ロジックチップ中に含まれているトライステート回路網の加算ゲートに関するステートメントは、各回路網毎に送信される。

ステージ3：より多くのロジックチップ間を通る回路網の相互接続をネットリストする。各カット回路網毎に、すべてのチップにおけるこの回路網のすべての相互接続バッファ及び、クロスバーチップにおけるこの回路網の加算ゲートに関するステートメントを送出する。このプロセスの一部として、いかにして回路網を相互接続するかを明確に決定する。このプロセス自体は4個のステージを有している。

ステージ3a：どのようにして回路網が各クロスバー間を通り、且つ、どこにロジックチップドライバ及びレシーバを配置するかを示しているトリー(tree)を構成する。

ステージ3b：クロスバーチップの各組の回路網を相互接続する能力を評価する。

ステージ3c：この回路網を相互接続するクロスバーチップの最適な組を選択する。

ステージ3d：組の選択及びトリー構造に基づき、バッファ及び加算ゲートに関するステートメントをロジック及びクロスバーチップネットリストファイルに送出することによって、相互接続をネットリストする。

このセクションでは、各ステージに用いられる技術について説明しており、完全な相互接続及びネットリストティング手続について詳細な規定と、二つの詳細な回路構成例を記述している。

#### **【0073】2.4.1 シンプルな回路網及びトライステート回路網の相互接続構造**

シンプルな回路網は、単一のドライバのみを有する回路網である。ドライバを有するソースLチップは、信号を、階層の上方へ向かってすべてのレシーバに及んでいるクロスバーチップに伝達する。レシーバを駆動するためのバスを階層の下方に向かって接続し、すべての受信Lチップを駆動する。図47は、シンプルな回路網の相互接続を示しており、詳細については以下に説明する。

トライステート回路網は、2以上のトライステート、オープンコレクタ又はオープンエミッタドライバによって駆動される回路網である。このことは、設計部データ構造中においては、2以上のドライバ(出力ピン)を有する単一の回路網として示される。各ドライバを、基本要素交換の間にドライバを交換して得られる1個のANDゲート及び1個以上のレシーバ(入力ピン)である。ドライバがイネーブルされない場合にゼロとなっている

“フローティングロー”回路網を、1個以上の加算ORゲートをANDゲートにより駆動することで実現する。

“フローティングハイ”ゲートは、ANDゲートに反転データ入力を有しており、最終的な加算ゲートをNORとしている。同じ接続形態及び基本的な方法を、両ケースに適用する。一般的な一方向性接続及び1以上の加算

ORゲートを用いて、積の和としてトライステート回路網を具体化する。ドライバのバスを、相互接続階層のXからZに向かって集中させ、ドライバを加算ORゲートに集める。最も高いレベルの加算ORゲート出力を、ロジック回路網の真の値、すなわち、そのソースとしている。ソースを相互接続階層の下方に向かって接続し、すべてのドライバを駆動する。結果的に、幾つかのチップ対(Z-X、X-Y及び/又はY-Z)は、2つのバスを必要としている。そのうち、一方のバスはドライバを加算ORゲートとつないでいるものあり、レシーバと出力とをつなぐものである。図48は、トライステート回路網の相互接続を示しており、詳細については以下に説明する。

#### 【0074】2.4.2 ネーミング

固有のネームを有する回路網を用いて、論理チップ内の相互接続をネットリストファイル中に規定する。これらの回路網は、設計部データ構造中の回路網と混同すべきではない。各設計部回路網は、論理ロジックチップネットリストファイル中に片方の回路網を有し、入力設計ファイルに用いたのと同じ実際の回路網ネームをネットリストファイルに用いる。基本要素変換の間に設計部データ構造に加えられる回路網に、人工的に発生させられたネームを付ける。設計部データ構造中に存在しない回路網を、ロジックチップ及びクロスバーチップネットリストファイルに送出し、相互接続を特定する。ロジックチップ又はクロスバーチップ I/Oバッファと I/Oピンとの間の回路網、ANDゲートとトライステートの積の和である加算ゲートとの間の回路網、及び、クロスバーアクセスを用いる場合に相互接続の上方及び下方に通っている回路網、これらすべての回路網は設計部の單一回路網と関連しているが、ネットリストファイル中の回路網とは別個のものである。相互接続基本要素をネットリストファイルに送出する際は、実際の回路網ネームを変更し、これら相互接続機能の各々に対して別個の回路網ネームを提供する。次のチャートはネーム変更のすべてをリストしている。I/Oバッファとそのピンとの間のチップレベル毎に、1個のネームのみを使用する。これらのネームには、接続の他端におけるチップに従って番号を付して独自性を持たせている。チップレベル毎に1回よりも多く使用されるネームによって、クロスバーチップ内部接続を規定する。これは、このような多くの構成し得るネーミングシステムの一例にすぎない。文字 'H' を、チャート中の実際の回路網ネームの代わりに用いる。例えば、相互接続された回路網を 'ENABLE' と称する場合、ロジックチップ6から受信する入力バッファ入力端子とそのI/Oピンとの間の回路網を 'ENABLE-D-6' と称する。

'N' :

Lチップ：このLチップを回路網のソースとする場合、真の回路網値である。このLチップに唯一のドライバ

を設ける場合トライステートドライバである。

X, Y, Zチップ：1個のチャイルド (child) ドライバを設ける場合、チャイルドからの入力バッファ出力ピンである。このチップを回路網のソースとする場合、チャイルドへの出力バッファ入力ピンである。

すべてのチップ：親への出力バッファ入力ピンである。加算ゲート出力端子。

'N\_R' :

Lチップ：この回路網のソースをいずれかに設ける場合、真の回路網値である。

X, Y, Zチップ：このチップが回路網のソースではない場合、チャイルドの出力バッファの入力ピンである。

すべてのチップ：親からの入力バッファ出力ピン。

'N\_R\_c' :

X, Y, Zチップ：チャイルドへの出力バッファ出力ピンである。ここで 'c' は、チャイルドのチップナンバーである。

'N\_P' :

すべてのチップ：親からの入力バッファの入力ピン。

'N\_D' :

すべてのチップ：親への出力バッファの出力ピン。

'N\_D\_c' :

X, Y, Zチップ：チャイルドからの出力バッファの出力ピン。ここで 'c' はチャイルドのチップナンバーである。

'N\_P' : すべてのチップ

親からの入力バッファの入力ピン。

'N\_D' : すべてのチップ

親への出力バッファの出力ピン。

'N\_D\_c' : X, Y, Zチップ

チャイルドからの入力バッファの入力ピン。

'N\_OR\_i' :

Lチップ：1より多くのドライバをLチップに設けた場合、トライステートドライバである。ここで 'i' は多くのこのようなドライバを識別している。

X, Y, Zチップ：1より多くのチャイルドドライバを設ける場合、チャイルドドライバからの入力バッファ出力ピン。

すべてのチップ：加算ゲート入力端子。

【0075】2.4.3 ステージ1：ロジック基本要素のネットリストティング

ステートメントは、各基本要素毎に、設計部データ構造中のすべてのロジック基本要素に対するロジックチップネットリストファイルに送出される。基本要素を接続している回路網のネーミングを行い、以下のステージ3dの相互接続バッファに用いられるネーミングと一致させる。回路網のソースを同一の論理チップ中に設ける場合、入力ピンをこれらの本来の回路網ネームに接続する。このことは、閉回路網（カットがない回路網）に対して常に真であり、カット回路網のLチップを駆動する

においても真である。Lチップをソースとしない場合、入力ピンをこれらの親レシーバの入力バッファに接続する。出力ピンをロジックチップの加算ゲートに接続する場合を除き、出力ピンをこれらの本来の回路網ネームに接続する。出力ピンをロジックチップの加算ゲートに接続する場合、特定の回路網ネームを変更させる。

#### 【0076】2.4.4 ステージ2：ロジックチップ加算ゲートのネットリスト

完全に單一ロジックチップ中に含まれているトライステート回路網の加算ゲートに関するステートメントを、各回路網毎に送出する。上述した回路網ネームの変更を用いて入力端子を接続する。出力端子は本来の回路網ネームを駆動する。回路網が“フローティングハイ”であるかどうかに応じて、適切な出力検知(OR又はNOR)を用いる。

#### 【0077】2.4.5 ステージ3：カット回路網相互接続の決定及びネットリスト

1より多くの論理チップ間を通っている回路網(カット回路網)の相互接続をネットリストする。カット回路網を、各々、ステージ3a、3b及び3cを介して一度に処理する。

#### 【0078】2.4.5.1 ステージ3a：相互接続トリーの構成

一時的なトリーデータ構造を構成し、相互接続プロセスを案内する。この一時的トリーデータ構造は、この回路網に基本要素を有するLチップと、相互接続を具体化するX、Y及びZチップと、各々の相互接続の要件を示すことによって、回路網の構造を表現する。各トリーレベルでの各ノードはシステム中のロジック又はクロスバー・チップに対応しており、その下位のチャイルドノードにつながっているブランチを有し、ノード及び親のバスにつながっている相互接続バスに関するデータを以下のように記憶する：

レベル	チップ	相互接続バス
ルート	Zチップ	なし
第1レベル	Yチップ	Y-Zバス
第2レベル	Xチップ	X-Yバス
第3レベル	Lチップ	L-Xバス

回路網中に含まれている各Lチップは、回路網にいかに多くの基本要素を有していても、トリー中の唯一個のノードで表現される。各ノードは以下のエントリを有している。

チップナンバ：ボードのいずれかのLチップ、ボックスのいずれかのボード又はラックのいずれかのボックス。初期値はNULL。

D及びRカウント：このノードのバスに必要とされるドライバ(D)及びレシーバ(R)の数である。初期値はゼロ。

D及びRバス：(各L-X、X-Y又はY-Zバスで利用できるいくつかのバスナンバの中から)いずれかのバ

スナンバを用いて、ドライバがこのノードからトリーを上り、レシーバが降りる。初期値はNULLである。  
トップサム：このノードが下位にすべてのドライバを具える加算ゲートを有している場合、真と認識する。これを用いて、多数ゲートの積の和における最終ゲートを制御し、“フローティングハイ”的な場合その出力反転を得る。初期値は偽である。

回路網が多数のボックスに及んでいない場合、ルートノード(root node)はナルエントリ及び唯一の第1レベルノードを有している。回路網が多数ボードに及んでいない場合、第1レベルノードはナルエントリ及び唯一の第2レベルノードを有している。回路網が多数のLチップに及んでいない場合、回路網は、相互接続の必要がなく、トリーを有していない。パーティショナによって割当てられた基本要素のロケーションに従って、設計部データ構造中の回路網を操作しトリーを構成する。回路網が1より多くのボックス又はボードに及んでいない場合、必要とされないクロスバー・レベルのノードをナルとする。このようにして、各Lチップの駆動出力端子及び受信入力端子の数をカウントするとともにLチップノード中に記憶し、Lチップの相互接続の必要性を確認する。各Xチップノードにおいて、ドライバを有しているLチップの数及びレシーバを有している数をカウントし、各Xチップが、どのような相互接続を設けなければならいかを確認する。同様に、各Yチップにおいて、駆動及び受信Xチップをカウントし、Zチップにおいて、Yチップをカウントする。最後に、トリーを分析し、ソースである回路網の真の値をレシーバに伝送するポイントを決定する。簡単な回路網では1個のLチップの中にソースを設けている。クロスバー加算を用いているため、ソースをトライステート回路網のクロスバーチップとすることもできる。通常、クロスバーチップがチャイルドチップ間にレシーバを有している場合、クロスバー・チップをネットリストし、真の値を、そのより高レベルのペアレントチップから送信する。しかし、階層中において、親チップより下位のチップがソースを有している場合、親チップは、真の値を親チップ自体又はそれより下位のチップから得る。このようにするために、クロスバーノードを走査し、ノード又はノードの派生がソースの場合にはレシーバカウントをゼロにセットする。

#### 【0079】2.4.5.2 ステージ3b：各セットの相互接続能力の決定

各Zチップが各ボックス中の同一のYチップを接続し、各Yチップが各ボードの同一のXチップを接続しているので、相互接続されたX、Y及びZチップによって一組を形成する。リアライザシステムの好適例においては、64組を設けている。その各々は、1個のZチップと、各ボックス中に1個設けている、Zチップを用いたY-Zバスを有する8個のYチップと、各ボードに1個設けている、各Yチップを用いたX-Yバスを有する64個

のXチップとを具えている。各々の組の対は、この場合、同一のXチップを有しているが、このことは許容されている。その理由は、唯1個の組のみを選択し、回路網を相互接続するからである。LチップとXチップのような相互接続されたチップの対の各々を、バスと称する一群のワイヤで接続する。各クロスバー中のバスを、バステーブルにリストする。L-Xバステーブルは、システム全体中の各L-Xクロスバーの各バスに関連するエレメントを有している。各ボックス中の各ボードにはL-Xクロスバーを設け、各クロスバーには、一組の各Lチップ及びXチップに関係するバスを設ける。このようにして、L-Xバステーブルは5個の寸法を有している。すなわち、L X [ボックス] [ボード] [Lチップ] [Xチップ] [バス]である。同様にして、X-Yバステーブル、すなわちXY [ボックス] [ボード] [Yチップ] [バス]と、Y-Zバステーブル、すなわちYZ [ボックス] [Zチップ] [バス]とを設ける。テーブル中の各エレメントを、相互接続手続によって、「フリー (free)」又は「ユーズド (used)」とする。ネットリストファイルに送出された入力又は出力I/Oピンがバスを使用する場合、テーブルエレメントを使用する。各組の回路網相互接続能力を、相互接続すべき各バスに対するフリーなバスカウントを捕捉することによって決定する。まず第1番目に、ボックス中のYチップとZチップとの間のY-Zバスについて考える。回路網中の各ボックスにおいて、この組中のZチップ及びこのボックスのYチップに関するY-Zバステーブル中のフリーパスの数をカウントし記憶する。第2番目に、ボード上のXチップとボックス中のYチップとの間のX-Yバスについて考える。すなわち、回路網中の各ボードにおいて、この組のこのボックスのYチップ及びこのボードのXチップに関するX-Yバステーブル中のフリーパスの数をカウントし記憶する。第3番目に、ボード上のLチップ及びXチップ間のL-Xバスについて考える。すなわち、回路網の各ロジックチップにおいて、この組のこのLチップ及びこのボードのXチップに関するL-Xバス中のフリーパスの数をカウントし記憶する。いかなるポイントにおいても、相互接続を完成するのに十分なフリーパスが存在しない場合、この組を故障と認識し、このプロセスを次の組に進める。結果的には、相互接続中の各バスすなわち首尾よく相互接続を達成することのできるクロスバーチップの各組に関するバスカウントを捕捉することとなる。

**[0080] 2.4.5.3 ステージ3c : 組の選択**  
多くの組を用いて相互接続することができるので、組の1個を選択し使用するバスのバランスを保持する。このことによって、完全な相互接続機能の開発が保証される。簡単な組選択技術は、全バスカウントが最大である組を選択することである。しかし、このことは局所的な条件を無視している。すべてのレベルにおけるバスカウ

ントの中から、最も大きな最小バスカウントを有する組を選択するのが好ましい。例えば、2組が以下のバスカウントを有しているものと仮定すると、  
 バス: YZ YZ XY XY LX LX LX  
 組A: 4 4 4 3 1 3 4  
 組B: 3 3 3 3 3 3 3  
 組Aは、最大トータル (23対21) を有しているが、これを選択するということは、最後に利用することができる、1個のLチップ-Xチップ対からのL-Xバスを採用することを意味している。組Bは、最も大きな最小 (3対1) を有しており、Lチップ-Xチップ対を閉じることはない。結合の場合、検討の結果、各組から1個の最小を排除し、組を1個選択するまで、最も大きな最小を有している組を選択する。(第1回路網の場合と) 実際にすべての組が同一である場合、同一である場合、一つを採用する。これが、使用されている方法である。一組のトライステート回路網について検討を加える場合、特に考慮を要する。一方が階層の上方に向かって加算ゲートにつながっている入力端子のためのバスである。同一の回路網に使用されるこれら2個のバスを、いくつかのチップ対は、有していないなければならないため、これらの場合に、選択された組は、少なくとも2個のフリーパスを有していないなければならない。バスのトリー(ド (すなわち、L-Xバス等のためのXチップノード) がノンゼロのD及びRカウントと、ノンNULLの親とを有している場合、このような場合を検出する。

#### **[0081] 2.4.5.4 ステージ3d : 相互接続のネットリストティング**

組の選択及びトリー構造を与え、バッファ及び加算ゲートのステートメントをロジック及びクロスバーチップネットリストファイルへ送出することによって、相互接続をネットリストする。このことを、各レベル毎に、まずロジックチップについて行い、その後、X、Y及びZチップについて行う。各チップの相互接続及び方向性を、トリー中のデータを使用することによって決定する。相互接続のバッファ及び回路網に関してのステートメントをネットリストファイルに送出することによって、各接続をネットリストする。(チャイルドチップが存在する場合) チップとチャイルドチップとの接続を、まずネットリストする。各チャイルドチップを順番に検討する。トリーがこのチップを駆動させていることを示している場合、チャイルドチップのドライバを接続しているピンナンバ用い、入力バッファをネットリストする。このチップが1個より多くのドライバを有している場合、別の回路網ネームを各々に用いる。このようにして、これらの回路網ネームは後にネットリストされる加算ゲートによって捕捉される。チャイルドがこのチップを受信していることをトリーが示している場合、チャイルドチップのレシーバを接続しているピンナンバ用いて、出力バッファをネットリストする。このチップ自体がその親

からのレシーバである場合、異なる回路網ネームを用い、このチップは親レシーバを接続する。このチップが、そのチャイルド中に1より多くのドライバを具えている場合、加算ゲートをネットリストし、上述したドライバ回路網を接続する。最終的に、(存在するならば)親チップへの接続をネットリストする。チップ又は任意の派生チップがドライバを具えている場合、チップの対及び選択された組に関するバステーブルエンタリからドライバに関する相互接続バスを採用するとともに出力バッファをネットリストし、ここで採用したバスを介して親を駆動する。このチップが、ペアレントからのレシーバである場合、バステーブルからバスを選択し、このバスを用いて入力バッファをネットリストする。

#### 【0082】2.4.6 相互接続及びネットリストイング手続についての詳細な規定：

##### 第1の一般的な規定：

回路網に関して4個のクラスを設ける：

シンプルな閉回路網：回路網は1個のドライバを有し、すべての基本要素を同一のLチップ中に設ける。

シンプルなカット回路網：回路網は1個のドライバを有し、基本要素を多数のLチップ中に設ける。

トライステート閉回路網：回路網が1個より多くのドライバを有し、すべての基本要素を同一のLチップ中に設ける。

トライステートカット回路網：回路網が1個より多くのドライバを有し、基本要素を多数のLチップ中に設ける。

回路網の「ソース」とは、その実際の論理値を伝送するチップである：シンプルな回路網では、ソースはドライバを有しているLチップである。トライステート回路網では、ソースはトップモスト(*top-most*)加算ゲートを有しているチップである。

これを決定するために：回路網を走査し、どこに出力ピンを配置しているかを調べる。出力ピンがすべて同一のLチップ上に存在する場合、このLチップがソースである。これ以外の場合で、出力ピンがすべて同一のボード上に存在する場合、このボード上のXチップがソースである。これ以外の場合で、出力ピンがすべて同一のボックス中に存在する場合、このボックス中のYチップがソースである。上記以外の場合、Zチップがソースである。出力ピンのインデックスナンバは、それが、その回路網におけるピンの循環リストにおけるどの出力ピンであるかを示しており、ネットレコードが示すピンから始まり、ゼロから一つずつカウントする。

ステージ1：設計部データ構造中のすべての基本要素を送出する。

設計部データ構造中の各Lチップは：Lチップのネットリストファイルがオープンされていない場合には、このLチップのネットリストファイルをオープンする。

このLチップの各基本要素は：基本要素ヘッダステート

メントをファイルに送出する。

この基本要素の各ピンは：(入力設計ファイルからネームを得るために回路網の対象識別子を用いて)接続された回路網のネームを得る。そして、「N」と称する。

入力ピンの場合：このLチップが回路網のソースを有している場合には、回路網「N」に接続された入力ピンに関するステートメントを送出する。そうでない場合には、回路網「N\_R」における入力ピンステートメントを送出する。

出力ピンの場合：この出力ピンのインデックスナンバを得て、「p」と称する。シンプル回路網の場合には回路網「N」のピンに指示を出す。トライステート閉回路網の場合には回路網「N\_OR\_p」のピンに指示を出す。

トライステートカット回路網の場合：これがこのLチップのこの回路網に関する唯一の出力である場合、回路網「N」のピンに指示を出す。唯一の出力ではない場合、回路網「N\_OR\_p」のピンに指示を出す。

次のピンへ。次の基本要素へ。次のLチップへ。

ステージ2：すべての閉回路網加算ゲートに指示を出す：

各トライステート閉回路網は：「N」と称するこの回路網のネームを得る。このLチップのネットリストファイルがオーブンされていない場合には、これをオーブンする。「i」と称する回路網に、何個の出力端子が存在するかをカウントする。

「i」入力ゲートに関するステートメントを送出する：この回路網が「フローティングハイ」である場合にはN ORであり、これ以外の場合にはORであり、(0~i-1のすべてのjについて)回路網「N\_OR\_j」に接続された入力端子と、「N」に接続された出力端子とを有している。次の回路網へ。

ステージ3：カット回路網と相互接続しているバッファに指示を出すとともに、すべてのカット回路網加算ゲートに指示を出す：すべての相互接続バステーブルのすべてのエレメントを“フリー”にする。各カット回路網（シンプル又はトライステート）は：階層の順番でカット回路網を選択し、第1ボックス回路網等を選択するとともに、この順番の範囲内で最も大きな第一番目の回路網を選択する。

ステージ3A：トリーの構成

回路網の各基本要素は：この基本要素のボックスにトリーノードを設けていない場合には、1を加える。このボックス中の基本要素のボードにトリーノードを設けていない場合には、1を加える。このボックス中のこのボード上のこの基本要素のLチップにトリーノードを設けていない場合には、1を加える。この基本要素の回路網接続が出力ピン(すなわちドライビング(driving))である場合には、このLチップのノードのDカウントをインクリメントする。上記以外の場合で、このLチップ

がこの回路網のソースではない場合、このしチップのノードのRカウントをインクリメントする。次の基本要素へ。この回路網のすべての基本要素をトリーで表現する際、唯一つのXチップノードのみを設けるならば、YチップノードをNULしとする。(すなわち、回路網はボード上に存在している。) 唯一のYチップノードのみが存在する場合、ZチップノードをNULしとする。

(回路網はボックス中に存在する。)

各ノンNULしクロスバーレベルにおいて、まずXチップ、その後Yチップ、その後Zチップ：このレベルにおける各ノードは：

$D = [D \text{カウントがゼロでないチャイルドノードの数}]$

$R = [R \text{カウントがゼロでないチャイルドノードの数}]$

このノード又は派生をこの回路網のソースとする場合、このノードを $R=0$ にセットする。このノードをソースとし且つ回路網をトライステートにする場合、その“トップサム (top sum)” フラグを真にセットする。次のノードへ。次のレベルへ。

ステージ3B：各組の相互接続能力の決定

各組は、相互接続すべき各バスのバスカウントを捕捉し、その相互接続能力を決定する。この組のバスカウントの記憶を割当てる：

Y-Zバスカウント：各ボックスの割当

X-Yバスカウント：各ボードの割当

L-Xバスカウント：各しチップの割当

唯一個のボックスのみをこの回路網中に設ける場合：このボックスのナル（ゼロではない）Y-Zバスカウントをそのままにしておく。

そうでない場合には：各ボックスは：バスアレイ中のフリーパスの数をカウントする。

YZ [このボックス] [この組] [バス]

このボックスのトリーノードがノンNULしの親を有し、且つ $D > 0$ 及び $R > 0$ である場合、このボックスのバスは“ダブル”である。すなわち、ドライバとレシーバの両方を有している。フリーパスが2よりも少ない場合、この組はこの回路網を接続できない。以上以外の場合で、且つバスが存在しない場合、この組はこの回路網を接続できない。この組が接続できない場合、これを使用不可能とし、次の組に進める。接続できる場合には、トータルを、このボックスのY-Zバスカウントとしてセーブする。この回路網に、唯一のボードのみを設けている場合、(Y-Z相互接続は必要とされない)：このボードのナル（ゼロでない）X-Yバスカウントをそのままにしておく。2以上のボードを設けている場合：各ボードは：バスアレイ中のフリーパスの数をカウントする。

XY [このボックス] [このボード] [このセット] [バス]

このバスが“ダブル”であり且つバスが2よりも少ない場合、又は、バスを設けていない場合、この組はこの回路

網を接続できない。この組を使用不可能とし、次の組に進む。上記でない場合：トータルを、このボードのX-Yバスカウントとしてセーブする。各しチップは：バスアレイ中のフリーパスの数をカウントする。

LX [このボックス] [このボード] [このしチップ] [この組] [バス]

このバスが“ダブル”であり、且つバスが2よりも少ない場合、又は、バスを設けていない場合、この組は、この回路網を接続できない：この組を、使用不可能とし、次の組に進む。上記でない場合には、トータルを、このしチップのL-Xバスカウントとしてセーブする。このボードの次のしチップへ。このボックスの次のボードへ。次のボックスへ次の組へ

ステージ3C：回路網の選択：回路網を接続することのできる各組は：この組のすべてのバスカウントの中から最小バスカウントを見出す。次の組へ。これらの最小バスカウントの中から最大のものを見出す。検討の後、最大の最小バスカウントよりも少ないバスカウントを有するすべての組を除去する。組が存在しない場合には、この回路網を相互接続することができない。一組だけが残る場合には、この回路網の組を選択する。2以上の組が残る場合には、すべての最小バスカウントの中から次の最も大きい最小を見出す。検討の後、これよりも小さいバスカウントの組すべてを除去する。一組が残るまで、又は、すべての残っている組のバスカウントが同一となるまで、これを繰り返す。この回路網の残っている組の内の任意の1個を選択する。すべての組のすべてのバスカウントの記憶を解除する。ステージ3D：相互接続のネットリスト以下で用いられる手続の規定：ドライバ（又はレシーバ）バスを得る又は確保するために：

1) このレベルのバステーブル中のフリーエレメント、このノードのチップナンバ及びペアレントノードのチップナンバから、バスを選択する。

2) 使用されたバスのテーブルエレメントをマークする。

3) このノードのドライバ（又はレシーバ）バスナンバエンタリの中のバスナンバとして、どのバスを用いたかを記憶する。I/Oピンナンバを導出するために：

1) 2個のノードのチップナンバ及び組ナンバから、このノードのチップとチャイルドノードのチップ（又は、場合によっては親ノードのチップ）との同一性を確認する。これによって、含まれている特定のバス（例えば、L4-X5、又はBoard3-Y7のようなバス）を識別する。

2) パスナンバがチップの対を接続している幾つかのバスの内の一つのバスを示しているということをリコールする。チップ、バス及びバスナンバを与え、I/Oピンナンバ情報を有している索引テーブルから、このバスを接続しているピンナンバを読出す。バスを用いて、バッファ（入出力）に指示を出すために：

- 1) パスナンバをこのノードから得る。又は、チャイルドバスが特定される場合には、パスナンバをそのチャイルドノードから得る。ドライバ又はレシーババスナンバを、指示されたようにして得る。
- 2) パスナンバを用いて、このバッファのI/Oピンナンバを得る。
- 3) 入力バッファであるか出力バッファであるかに応じて、このノードチップのネットリストファイルに、基本要素ステートメントを送出する。この際、指示されるように、入出力回路網ネームを用いるとともに、そのI/Oピンに対して得られたピンナンバを用いる。

相互接続のネットリスト手続：'N'と称するこの回路網のネームを得る。各ノンNULLLレベルの第1Lチップ、その後Xチップ、Yチップ及びZチップにおいて：トリー全体におけるこのレベルにおける各ノードは：準備していない場合には、このノードのチップに関するネットリストファイルをオープンする。レベルがX、Y又はZである場合：このノードの下位の各チャイルドノードは：カウンタ'i'をゼロにセットする。チャイルドのD>0である場合：(チャイルドとはドライバである)このノードのD=1である場合：'N\_D\_c'から'N'へと入力バッファに指示を出す。(ここで'i'は、チャイルドノードのナンバである。)この際チャイルドドライババスを使用している。このノードのD>1である場合：'N\_D\_c'から'N\_OR\_i'へと入力バッファへと指示を出す。この際、チャイルドのドライババスを使用し、「i」をインクリメントする。チャイルドのR>0である場合：(チャイルドはレシーバである)このノードのD>0、且つこのノードのR=0の場合：'N'から'N\_R\_c'へと出力バッファに指示を出す。この際、チャイルドシートのレシーババスを使用する。そうでない場合：'N\_R'から'N\_R\_c'へと出力バッファに指示を出す。この際、チャイルドのレシーババスを使用する。次のチャイルドノードへ。このノードのD>1である場合：(ノードは加算ゲートを有している)「i」入力ゲートに指示を出す：この回路網が'フローティングハイ'であり、且つこのノードの'トップサム'フラグが真である場合、NORである。そうでない場合には、ORである。この際、(0~i-1のすべてのjに対する)「N\_OR\_j」に接続された入力端子と、「N」に接続された出力端子とを有している。このノードのD>0で且つこのノードがノンNULLL親を有している場合：(ノードはドライバである)ドライババスを確保するとともに、受信する。「N」から'N\_D'へと出力バッファに指示を出す。この際、ドライババスを使用する。このノードのR>0である場合：(ノードはレシーバである)レシーババスを得て確保するとともに、受信する。「N\_P」から'N\_R'へと入力バッファへと指示を出す。この際、受信バスを使用する。このレベルの次のノード

へ。次のレベルへ。次のカット回路網へ。すべてのオープンネットリストファイルをクローズする。

#### 【0083】2.4.7 2例の回路網

図47aは、「BX」と称する、シンプル回路網のオリジナル入力設計部を示している。これは、1個のドライバと3個のレシーバとを具え、同一ボックス中的一方のボード上の2個のロジックチップ及び他方のボード上の1個のロジックチップに及んでいる。この回路網のステージ3aによって構成された相互接続トリーを、図47bに示す。どのようにして、各ロジックチップ、各ボードに対するノード及びボックスに対するノードを設けるかに注意しなければならない。ロジックチップノードは、特定のロジックチップに対応している。ボードノードは各ボード上のXチップに対応しており、ボックスノードはYチップに対応している。Zチップは、この回路網では必要ない。正確には、どのX及びYチップを使用するかはどの組を選択するかに依存しており、これは、トリー中には示されていない。D及びRの値を各ノード毎に示している。ノードがレシーバであっても、L0がD=0であることに注意する。その理由は、ノードがこの回路網のソースノードであり、他のノードとは異なりソースノードから値を受信する必要がないからである。ボード2のノードにおいては、そのRカウントは初期値が1であり、L4のレシーバをカウントする。ソースが派生であるため、Rカウントがゼロにセットされていたことを示している。送出された回路網ネームは、これらの回路網を用いて示されている。実際の相互接続の構造によって、トリーの構造及び各ノードのD及びRカウントをどのようにして表わすかを述べる。図48aは、「EX」と称するトライステート回路網のオリジナル入力設計部を示している。これは、同一ボックス中的一方のボード上の2個のロジックチップ及び他方のボード上の1個のロジックチップに及んでいる3個のトライステートドライバと、2個のボックスにおける3個のボード上の4個のLチップに及んでいる6個のレシーバとを具えている。この回路網のステージ3aによって構成される相互接続ツリーを、図48bに示す。この回路網はボックスに及んでいるため、Zレベルクロスバーを用いる。2個のトライステートドライバを有しているために、ボード2のノードはD=2であることに注意しなければならない。Xチップは、加算ゲートを具え、ボード2のLチップからのタームを捕捉する。回路網のソースであるボックス2のノードも同様であり、これを、「トップサム」とする。このYチップは、トップモスト加算ゲートを具え、ボード2及び3からのタームを捕捉する。ボックス2のノード及びそのZペアレンツノードはソースを具え、これらのRカウントをゼロにする。各ロジックチップ及びクロスバーチップに関するネットリストファイルに送出される実際のゲート及びバッファと、いかにして、これらを相互接続するかを、図49に示す。

す。設計変換によって、各ライステートドライバをどのようにANDゲートに変換するかを注意しなければならない。これらの出力を、X及びYレベルの加算ゲートによって捕捉する。受信入力は、“トップサム”ノード、すなわちボックス2のYチップから伝送される。ボックス2のレシーバは、相互接続へつながっているバスによって駆動される。ボックス6のレシーバは、Zレベルクロスパートップを介して駆動される。

#### 【0084】3 リアライザシステムの応用

**3.1 リアライザロジックシミュレーションシステム**  
 ロジックシミュレータは、ハードウェア又はソフトウェアによって実現されるシステムである。このシステムは、入力設計、一組の設計部への刺激、及び或る期間中の刺激の方向を受信するとともに、一組の刺激を出力する。この刺激によって、実際の入力設計部を実現し、所定の同一の刺激を発生させることを予測する。刺激及び応答は、特定の時間に、特定の設計回路網のロジック状態を伝送するものである。シミュレータユーザが、入力設計ファイルの形態で設計部の記述のみを供給するということが重要な特性であり、短期間に設計部を変更するとともに、これに再度刺激を与えることができる。現在のソフトウェアロジックシミュレータ設計部の演算は、コンピュータソフトウェアプログラムを用いており、設計部のオペレーションを予測するシーケンシャルなアルゴリズムを実行する（“An Introduction to Digital Simulation”, Mentor Graphics Corp., Beaverton, Oregon, 1989）。よく知られているように、イベントドライブされたコードアルゴリズム、又は、コンパイルされたコードアルゴリズムのいずれか一方を使用する。現在のハードウェアロジックシミュレータ設計部の演算とは、ソフトウェアシミュレータに使用されるのと同一の、イベントドライブされたコードアルゴリズム、又は、コンパイルされたコードシーケンシャルアルゴリズムを実行するハードウェアを構成することである。アルゴリズムの並列処理を開発及び／又は特別なアルゴリズムオペレーションを直接実現することで、ハードウェアはその実行による利益を得ることができる。このことは、一般的な目的のコンピュータ実行ソフトウェアにおいては不可能である。現在のハードウェアロジックシミュレータは、入力設計部の応答を予測するシーケンシャルなアルゴリズムを実行することで動作する。ロジックシミュレータを構成する新しい手段は、リアライザシステムに基づいている。リアライザロジックシミュレータシステムは、入力設計を受信し、これをリアライザハードウェアのロジック及び相互接続チップの構成に変換する。この際、リアライザ設計変換システムを使用する。リアライザロジックシミュレータシステムは、一組の設計部への刺激と、ある期間のシミュレートする方向とを受信し、ベクトルメモリを介し、実現される設計部に刺激を与え、ベクトルメモリを介して、実現される設計部からの一組の

応答を捕捉する。応答は、入力設計部を実際に実現することによって、所定の同一の刺激を発生させることに対応している。その理由は、前記刺激に対応させて、設計部をハードウェアによって実際に実現するからである。このことは、現在のロジックシミュレーションシステムのすべてが、設計部の刺激に対する応答を予測するシーケンシャルアルゴリズムを実行するが、リアライザロジックシミュレータは実際の設計部の実現を行い、設計部の刺激に対する応答を決定するという点において、すべての現行のロジックシミュレーションシステムとは異なる。主な利点は、実現された設計部が、シーケンシャルアルゴリズムが応答を予測できるより速く、種々の速さで応答を発生させることである。リアライザロジックシミュレーションシステムは、（すでに説明した）リアライザ設計変換システムと、ロジックシミュレータ刺激及び応答伝送システムと、リアライザハードウェアシステム及びホストコンピュータと相俟って、カーネルを作動させるロジックシミュレータとから成っている（図50）。

#### 【0085】3.1.1 ロジックシミュレーション刺激及び応答の変換システム

このシステムは、ユーザが作成した刺激イベント入力ファイルを、直接ベクトルメモリにロードすることのできる刺激データを含むバイナリーファイルに変換するとともに、ベクトルメモリから読出されるバイナリーアクセスデータを有するファイルから、ユーザが読み出しが可能な応答イベント出力ファイルへ、応答を変換する。刺激及び応答イベントは、回路網ネーム、時間及び新しい回路網の状態値から成っている。変換とは、回路網ネームとベクトルメモリビットとの間の変換、及び、シミュレーションの‘実時間’とベクトルメモリロケーションとの間の変換である。時間変換は、刺激イベントを有する各特定の時間をベクトルメモリロケーションに印すとともに、このベクトルメモリロケーションにおける応答イベントをこの時刻に発生したものとして報告する。好適例では、刺激入力イベントファイル及び応答出力イベントファイルを、Mentor Graphics Logfiles（“Quick Sim Family Reference Manual”, MentorGraphics Corp., Beaverton, Oregon, 1989）としている。これは、一連の時刻、回路網ネーム及び、新たな回路網状態値を含むテキストファイルである。EDAシステム中のバッチシミュレーションインターフェースツールによって、刺激入力イベントファイルを作成するとともに、応答出力イベントファイルを解釈する。好適例では、このツールを、Mentor Graphics のRSIMツールとする。ここでは、このセクションで後に説明するように、すべての基本要素を、ゼロディレイでシミュレートするものと仮定する。刺激イベント入力ファイルを、刺激バイナリーファイルへ変換するためには：

- 1) 刺激入力イベントファイルを読み出す。時間の経過に

応じて、刺激イベントをオーダーするとともに、何個の異なる時刻がイベントを有するかを決定する。

2) 設計変換システムが出力するこの設計部中の各ベクトルメモリに対する対応テーブルを読出す。

3) 各ベクトルメモリロケーションは、1以上の刺激イベントを有する時刻に対応している。各々の異なる刺激イベント時刻に、十分なベクトルメモリロケーションが存在しない場合、ステップ5及び6を必要なだけ繰り返し、すべてのこのような時刻に十分な刺激バイナリーファイルを出力する。このファイルは、各タメモリに適合する刺激を有している。

4) ベクトルアレイ "V0", "V1" 等の記憶を割当てる。その各々は、ロケーションのナンバ及び回路網幅と一致しており、シミュレートされる設計部に用いられるベクトルメモリを用いている。ベクトルアレイと同じ長さを有するタイムアレイ "T" の記憶を割当てる。

"ラストベクトル" バッファ "B0"、"B1" 等を割当てる。このバッファは、各ベクトルメモリに対するものであり、各々その回路網と同じ幅であり、これらをゼロに初期化する。

5) ベクトルアレイインデックスカウンタ 'v' を、ゼロにセットする。1以上の刺激イベントを有する各時刻のうち、最も早い第1番目の時刻において、ベクトルメモリ 'n' 及び、この回路網のベクトルメモリビットポジション 'i' を設定する。この際、このイベントの回路網の対応テーブルエントリを使用する。このイベントに対する新しい値を、Vn[v] ビット i 及びBnビット i に書込む。次のイベントへ。V0[v], V1[v] 等の内容の各々を、B0, B1 等に書込む。T[v] 中のこの時刻を記憶する。vをインクリメントする。刺激イベントを有する次の時刻へ。

6) ベクトルアレイ V0, V1 等、タイムアレイ T 及びサイクルカウント 'v' を刺激バイナリーファイルに書込む。応答バイナリーファイルを、応答イベント出力ファイルに変換するために：

1) ベクトルアレイ V0, V1 等、タイムアレイ T 及びサイクルカウント 'v' を応答バイナリーファイルから読出す。各ベクトルメモリロケーションは、1以上の刺激イベントを有する時刻と一致している。各々異なる刺激イベント時刻に対して、ベクトルメモリロケーションが十分でない場合、ステップ1~4を必要なだけ繰り返し、すべての応答バイナリーファイルをこれらのアレイ中に読出す。

2) 設計部変換システムが出力する、この設計部中の各ベクトルメモリに対する対応テーブルを読出す。

3) "ラストベクトル" バッファ "B0"、"B1" 等を割当てる。これは、各々のベクトルメモリに対するものであり、各々その回路網と同じ幅を有しており、これをゼロに初期化する。

4) ベクトルアレイインデックスカウンタ 'v' をゼロ

にセットする。ベクトルアレイ中の各ロケーションは：V0[v]をB0と比較し、V1[v]をB1と比較する。Vn[v]のビットとBnとの各々の差によって：このビットのベクトルメモリ及びベクトルメモリビットポジションに対応する回路網ネームを配置する。この際、このメモリに対する対応テーブルを使用する。新しい応答イベントを出力ファイルに書込む。この際、回路網ネーム、新しいビットの値及び時刻T[v]を用いる。次のイベントへV0[v], V1[v]等の内容の各々を、B0, B1 等に書込む。vをインクリメントする。次のロケーションへ。

#### 【0086】3.1.2 ロジックシミュレーションオペレーティングカーネル

オペレーティングカーネルは、シミュレートされる設計部のライザシステムを構成し、刺激を与えるとともに応答を捕捉する。このことは、ホストコンピュータが行う。各セクションに説明されているように、オペレーティングカーネルはロジックチップ及び相互接続チップを構成し、ベクトルメモリ及び設計メモリを読出し及び書込むとともに、ホストインタフェースを介してクロック発生器及びリセット発生器を制御する。シミュレーションを実行するために：

1) 設計部の構成ファイルを読出すとともに、これを用いて、構成のセクションで説明したように、すべてのライザロジックチップ及び相互接続チップを構成する。初期設計メモリデータをファイルから読出すとともに、これを設計部メモリに書込む。

2) 刺激バイナリーファイルを読出す。ホストインタフェースを介して、対応するベクトルメモリ中にベクトルアレイの内容を記憶する。

3) ベクトルメモリモジュール中のすべてのベクトルメモリの内容をクリアする。設計部リセット発生器を周期化し、実現される設計部を初期化する。

4) 'v' 周期のECLK回路網のクロック発生器をイネーブルする。このことによって、ベクトルメモリがこれらの刺激データを送出でき、この刺激に従って、実現される設計部を作動させるとともに、ベクトルメモリが応答データを捕捉する。このことについては、刺激/応答のセクションにおいて説明されている。

5) ベクトルメモリの内容を読出すとともに、これらをタイムアレイ "T" 及びサイクルカウント "v" とともに、応答バイナリーファイルに記憶する。

6) ベクトルメモリの容量が不十分であるために1より多くの刺激バイナリーファイルを設ける場合、各ファイル毎にステップ2~5を繰り返す。

7) ユーザ試験のためのファイル中の設計メモリ内容をセーブする。

#### 【0087】3.1.3 リアライザロジックシミュレーションシステムの使用

リアライザロジックシミュレータを用いて、入力設計部

をシミュレートするために：

- 1) ベクトルメモリ接続を示している特性を用いて、刺激すべき回路網との応答を捕捉するための回路網とをマークすることによって、EDAシステムの設計作成ツールを使用し、入力設計部を準備する。必要ならば、初期設計部メモリデータファイルを準備する。EDAシステムのバッチシミュレーションインタフェースツールを用いて、刺激イベント入力ファイルを準備する。
- 2) リアライザ設計変換システムを用いて入力設計部を変換し、構成ファイル及びベクトルメモリ回路網対応テーブルファイルを出力する。
- 3) 刺激及び応答変換システムをランさせ、刺激イベント入力ファイルを刺激バイナリーファイルに変換する。
- 4) オペレーティングカーネルをランさせ、シミュレーションを行うとともに、応答バイナリーファイルを出力する。
- 5) 刺激及び応答変換システムをランさせ、応答バイナリーファイルを応答イベント出力ファイルに変換する。
- 6) EDAシステムのバッチシミュレーションインタフェースツールを用い、応答イベント出力ファイルを翻訳する。
- 7) 入力設計部、初期設計部メモリファイル及び／又は刺激イベント入力ファイルをシミュレーションの結果によって示されるように変更し、必要ならば、ステップ2)～6)をリピートする。

リアライザロジックシミュレーションシステムの会話形の変形例では、刺激に対してはスティミュレータを行い、応答に対してはサンプラーを用いている。構成及びオペレーションは以下を除き同様のものである。すなわち、バッチシミュレーションインタフェースツールの代わりに会話形シミュレーションインタフェースツールを用いて、ファイルを介する代わりに刺激及び応答変換システムと直接通信しており、又、同時に作動する会話形シミュレーションインタフェースツールオペレーティングカーネルを用いて、刺激及び応答変換システムが、ファイルを介する代わりに直接オペレーティングカーネルと通信している。イベントを有する各タイムステップを、ベクトルメモリロケーションではなく、エッジ検知タイプのシミュレータに作成する。

#### 【0088】3.1.4 3以上の論理状態の実現

リアライザシステムにおいて、2個のロジック状態を実現するのは実用的なことである：高ロジック状態（H）すなわち真と、低ロジック状態（L）すなわち偽であり、リアライザシステムの単一の信号を用いて、入力設計部中に直接各回路網を実現することによって実現される。ロジックシミュレーション環境において、時には3以上のロジック信号の状態を表現することが望まれる。例えば、第3の状態、“未知の（X）”を用いて、初期化されていないロジック変数又はあいまいなロジック状態を表現する。高インピーダンス状態（Z）は、トライ

ステートバスのようなワイヤ結合のバスを実現するのに役立つ。リアライザシステムの幾つかの例において、高インピーダンス状態を直接実現することができる。例えば設計部にトライステート回路網が必要とされる場合、ロジックチップ及び任意の必要な相互接続がトライステートバス機能を構成する能力を有している限り、リアライザシステムのトライステートバスによって設計部が実現される。代わりに、1個の回路網を2以上の信号へ、以下のように符号化することによって任意のロジック状態を実現する：実現すべき状態の数を決定する。すべての状態を单一に符号化するのに必要とされる最小バイナリービット数を決定し、これを‘n’と称する。‘n’個の実際のバイナリーロジック信号によって設計部中の回路網を実現する。例えば、3個の状態（H, L, X）を必要とする場合、2個の実際のバイナリー信号を用いてリアライザシステム中の単一の設計回路網を実現する。基本要素変換ステージの間にこの変換を行い、これらの新しいバイナリー信号を設計部データ構造に入力し、オリジナル設計回路網を置換する。更に、設計部中のロジック基本要素を、多数状態ロジック機能に従って動作するロジック回路網で実現する。例えば3個の状態（H=高ロジック状態, L=低ロジック状態, X=未知）を用いる場合、設計部中の2入力ANDゲートを、3状態AND機能に従って動作するロジック回路に従って実現する（図51a）。いずれかの入力端子をXとし、入力端子が存在しないことをしとする場合、出力端子に生じるX状態を用いて、3状態シミュレータの如く、ロジック機能が動作する（図51b）。この回路網は、2個の2ビット入力端子と、1個の2ビット出力端子とを有している（図51c）。マルチステートを実現するこの技術を、設計解析のために必要とされるように入力設計部の全体又は設計部の一部分にのみ用いることができる。2個より多くの状態でシミュレートされる回路網をこのようにして入力設計ファイル中に作成し、設計部リーダーは設計部データ構造中のこのことに注目し、基本要素コンバータは基本要素に対する上記の代用回路網及び基本要素に対する多数の回路網を作成する。ロジック基本要素が、2状態の回路網接続と3以上の状態の回路網との混合を有している場合、回路網の条件に従って作動するロジック回路網を使用する。もしそうでなければ、上述したシミュレーション動作となる。

#### 【0089】3.1.5 リアライザのディレイの表現

現在のロジックシミュレータでは、種々の方法で、信号がロジックエレメントを通過する際のタイムディレイを作る。リアライザのロジックチップ中のロジックは実際のハードウェアであるため、そのディレイ特性は完全に正確に規定することはできず、ロジックディレイを直接作成することはできない。ロジックディレイは、プログラムを実行するシミュレータ中の特別の方法を用いることによって、及び／又は設計変換プロセスの間、ディレ

イを形成する特別のロジック機能を挿入することによって作成する。ゼロディレイ、ユニットディレイ又はリアルディレイとして、実現するシミュレーション中にディレイを形成することができる。この選択はユーザーによって成され、これをアライザロジックシミュレータシステムに指定する。

#### 【0090】3.1.5.1 ゼロディレイ

ゼロディレイとは、リアルタイムディレイを形成することなく、ディレイをゼロとして処理し、シミュレーションを行うことをいう。例えば、刺激イベントが、時刻‘i’に、結合ロジックのみを介して出力端子と接続されている入力端子に生じる場合、この出力端子の応答イベントは、時刻‘t’に生じるものとして報告される。ゼロディレイのために、設計部変換システムは特別なロジック機能を挿入しない。上記の如く、メインアライザロジックシミュレーションシステムにおいて説明した方法に従って、シミュレーションを行う。

#### 【0091】3.1.5.2 ディレイ依存機能

設計部に任意の遅延依存機能を設けると複雑なものとなる。ゼロ遅延タイミングモデルではここまでには至らない。クローズドループ機能、すなわちクロスカブルドゲートのように、同期フィードバックを設ける場合、無条件に記憶装置を設ける。記憶機能は相対的なディレイに依存している。ディレイ依存機能は、ディレイをオープンループ機能に用いると他の形態のものとなる。この一例としては入力端子で接続されたディレイ素子を有するイクスクルーシブORゲートがある(図52a)。イクスクルーシブORゲートの出力は、信号がディレイ素子を介して伝播するのに必要とされる時間においてはハイである。この回路網に供給される信号が変化すると出力端子にパルスを出力する(図52b)。実際のアライザロジックディレイはゼロではないため、これを直接コントロールできない場合、クロスカブルドゲートのような多くのクローズドループ及び幾つかのオープンループの場合、ディレイ依存機能は正しく動作する。しかし、ユーザーは確実に実現された設計部が意図するよう動作することを要求する。現在のタイミング分析ツールは、同期フィードバックの瞬間を自動的に見出し、レポートするとともに、オープンループディレイに依存する行動を検出す。アライザ設計変換システムは、ユーザーが必要とするならば、タイミング分析ツールを用いることによってタイミング分析を行う。好適実現例では、Mentor Graphics Quick Pathタイミング分析ツールを用いる(“Quick Path User's Manual”, Mentor Graphics Corp., Beaverton, Oregon, 1989)。

1) 設計変換プロセスの一部として、ERCGAネットリスト変換ツールは、内部相互接続及びロジック遅延の評価を出力する。これらは、レポートファイルへ送出される。

2) すべてのネットリストを変換した後、データをリボ

ートファイルから読出し、設計部データ構造中に入力する。この際、基本要素又は回路網と関連する各ディレイ評価を用いる。

3) 設計部データ構造を設計ファイルに書き込む。

4) タイミング分析ツールを設計ファイルに適用する。タイミングアナライザによって検出される任意の起こり得る変化をユーザーに報告する。ユーザーは、入力設計ファイルを適切に評価し、修正する。

#### 【0092】3.1.5.3 ユニットディレイ

ユニットディレイモデルとは、各ロジック基本要素が1単位(ユニット)のディレイを有するように形成したものである。ディレイ依存性を用いて、このような形成を、時々設計部に使用し、正しい動作を保証する。適切な特性を入力設計ファイル中の基本要素に加えることによって、ユーザーはゼロディレイ基本要素と合成されたユニットディレイ基本要素を指定する。自動的に、各ユニットディレイロジックエレメントの出力端子にフリップフロップを設け、ユニットディレイを形成する。これらのフリップフロップを共通クロックに接続し、この共通クロックは、第2クロック発生器によってシミュレーションの各単位時間毎に一回の周期を成す。これらのフリップフロップ及び‘タイムクロック’回路網を、基本要素変換プロセスによって設計データ構造に加える。ユニットディレイを用いてシミュレートされるロジック設計回路網の一例としては、クロスカブルドゲートを用いて作成されたフリップフロップがある(図53a)。各ゲートを、その出力端子にユニットディレイフリップフロップを設けて構成する(図53b)。連続的なタイムクロック及び入力信号を与える最終的なオペレーションは、ユニットディレイゲートを有するフリップフロップのオペレーションである(図53c)。ユニットディレイシミュレーションのためのアライザロジックシミュレータは、以下の変更を伴うものの、ゼロディレイと同様の方法を用いて動作する。

・ユーザーは、どの位の時間が1ユニットに相当するのかを指示する。

・刺激及び応答回数を、ユーザーが指定する時間単位の倍数‘M’に制限する。

・各ベクトルメモリケーションは、M時間単位に対応しており、この時の刺激イベントが存在しているかどうかとは無関係である。

・刺激及び応答変換システムは、これらの仕様を用い、これらの対応関係に従って、イベントとベクトルメモリケーションとの間にマップを作成する。

・最終的に、刺激イベントを有していない時刻は、前のロケーションと同一の内容を有するベクトルメモリケーションによって表現される。

・オペレーティングカーネルは、‘タイムロック’クロック発生器の周波数をECLKの周波数のM倍にセッティングし、互いに同期をとりながら動作するように指示す

る。オペレーションの間、各M時間単位毎に1個のECLK、従って一組の刺激及び応答が存在する。

#### 【0093】3.1.5.4 リアルディレイ

リアルディレイ、すなわち種々の時間単位によるディレイを、ロジックチップ中の特定のハードウェア構成を用いて実現する。このハードウェア構成は、設計変換の間、各リアルディレイロジックエレメントの設計部データ構造に自動的に挿入される。これには幾つかの技術がある：各ロジック基本要素出力端子と直列にシリアルシフトレジスタを構成する。その長さを、各ケースに必要とされるディレイ単位の数に対応させて構成する。すべてのシフトレジスタを、各時間単位に対して1回の周期をなすように、共通‘タイムクロック’でクロックする。このようにして、シフトレジスタは‘n’ユニット（単位）リアルディレイとして作用する。ここで‘n’はレジスタの長さである（図54a、ディレイレジスタ中の値に従って、マルチプレクサを介して選択される）。代わりに、有限状態マシン（FSM）と、1以上のスタートティングカウント（starting count）に対する記憶装置を有するカウンタとを、各ロジック基本要素出力端子と直列に構成する（図54b）。FSMは、ロジック基本要素出力状態の変換を検出する。各状態の変換において、発生した特定種類の状態変換（上昇（rising）又は下降（falling））にとって適切なスタートティングカウントを用いて、カウンタはFSMによってロードされる。すべてのカウンタは、各時間単位毎に1回の周期を成すように、共通‘タイムクロック’を周期化する。カウントがゼロになった場合、FSMは、出力状態変換を、ディレイされた出力へと送り、その接続された入力端子へと伝播する（図54c参照）。

#### 【0094】3.1.6 リアライザシミュレータからのシミュレータへの状態の伝送

リアライザロジックシミュレータシステムは極めて高速であるという利点を有し、このため、ソフトウェア又は他のイベントドライブによるシミュレータよりも多くの種々のテストサイクルで処理することができる。このシステムは、ディレイ及び他の時間に関連する項目を表示できず、且つ、設計部中のすべてのノードを監視できないという不利な点も有している。慣用のイベントドライブによるソフトウェアシミュレータはかなり低速であるが、項目の表現及び、刺激及び監視のためのすべての回路網ノードへのアクセスができるという利点を有する。しかし、慣用のイベントドライブによるソフトウェアシミュレータは、非常に低速であるため、シミュレートされた設計部を、初期状態から何100万又は何10億周期も離れた誤った状態に送るということは実際には生じない。誤った状態は、実際に、起こり得ないということがわかる。初期状態、すなわち、内部フリップフロップ及びロジックゲート出力の値を読出すことができる（Xilinx LCAのような）ロジックチップを用いてリアライ

ザシステムを構成する場合、実現されるシミュレーションはストップされ、設計部全体の状態が読み出される。リアライザロジックシミュレータと他のシミュレータとを結合させることによって、シミュレートされた設計部の状態（すなわち、設計部中のすべての内部記憶装置の値）が、一方から他方へと伝達される。この際、以下の方法に従っている：

- 1) 同一の設計部を、両方のシミュレータにロードする。
- 2) リアライザロジックシミュレータ中の設計部は、数サイクルの間、以下のようにシミュレートされる。すなわち、詳細に監視されるべきエラー又は他の条件の発生前の状態へ短時間で設計部を変換する。
- 3) この時、リアライザ刺激クロックはストップされ、設計部の全状態がロジックチップから読み出される。
- 4) この時、他のシミュレータで表現されている設計部を初期化し、リアライザに基づくシミュレータから読み出される状態に適合させる。
- 5) シミュレーションを、他のシミュレータに進める。このようにして、リアライザロジックシミュレータの究極的な速度を用いて、長すぎるために、他の方法で取り除くことのできないエラーを除去し、他のシミュレータの詳細及び可視性を用いてエラーの原因を分析することができる。

#### 【0095】3.2 リアライザフォールトシミュレーションシステム

フォールトシミュレーションとは、テストベクトルを開発、修正するのに用いられるロジックシミュレーションの変形、すなわち、組立て後、設計部、一般的には集積回路の正確性をテストするのに用いられる刺激の組である。ユーザ設計によるフォールティバージョン（faulty version）をテストベクトルを用いてシミュレートするとともに、グッド（good）バージョンと比較し、テストベクトル刺激がグッドバージョンの応答とは別の応答を発生させるかどうかを調べる。別の応答を発生させるならば、テストベクトル刺激が故障（フォールト）を検出していることを示している。故障の多いセットに対しては、このことが繰返される。このことは、できる限り多くの故障を検出する一組のテストベクトルを開発することを目的としている。一般的に、2個の故障を入力設計部の各回路網においてシミュレートする。すなわち、回路網が“スタッカットロー（stack-at-low）”と称する、常にロー状態である場合と、“スタッカットハイ（stack-at-high）”と称する、常にハイ状態である場合とがある。一般的に、入力設計部が何千個もの回路網及びテストベクトルを有し、且つ、フォールトシミュレーションが各新しいテストベクトルのバージョン毎に繰り返されるため、このことは、極めて時間がかかるタスクである。フォールトシミュレーションを構成する新しい手段は、リアライザシステムに基づいている。

リアライザロジックシミュレータの方法を、フォールトシミュレーションの修正に関して用いる。シリアルフォールトシミュレーション技術(“Quick Sim Family Reference Manual”, Mentor Graphics Corp., Beaverton, Oregon, 1989)を用いる: 各故障に関しては:

- 1) 実現された設計部を修正し、故障を伝える。
- 2) 刺激を与え、設計部を作動させ、応答を良好設計の応答と比較し、相異をフラグで合図する。
- 3) 故障を取り除き、この故障による相異が存在しているかどうかを記録する。現行のフォールトシミュレーションシステムが、故障設計部の刺激に対する応答を予測するシーケンシャルなアルゴリズムを実行するのに対して、リアライザフォールトシミュレーションでは、実際の故障設計部を実現させ、設計部の刺激に対する応答を決定するという点において、両者は相違する。主な利点は、実現される設計部が、シーケンシャルなアルゴリズムが応答できるよりも速い種々の速度で応答を発することである。

リアライザロジック及び相互接続チップで構成したように、故障は、直接設計部に伝えられる。故障を入力設計回路網に伝えるために: 入力設計部の回路網が、ロジックチップ中に対応回路網を有している場合: フォールト構成を用いて、回路網に接続された各ロジックチップを再構成する。これは、回路網に接続された入力端子を、故障に従って、一定のハイ又はローに接続している点を除き、オリジナルの構成と同一である。入力設計部中の回路網が、ロジックチップ中に対応する回路網を有していない場合: 対応する回路網はロジックチップのロジック機能に包摂されており、ロジックチップをフォールト構成を用いて再構成する。これは、回路網に包摂されるロジック機能を、回路網が故障に応じて、常にハイ又はローとなるように作動する構成にする点を除き、オリジナルの構成と同一である。故障を取り除くために、オリジナルの構成を用いて、チップを再構成する。リアライザフォールトシミュレータは、以下の相異点を有するものの、リアライザロジックシミュレータと本質的に同様のものである(図55): リアライザフォールトシミュレータとは、フォールトコンフィギュレータ(configurator)であり、ロジックシミュレータの上位の設計部変換システムの付加的部を構成している。リアライザフォールトシミュレータは、以下のような各々の故障に対して構成ファイルの相違を出力する:

- 1) 一時的に、故障を設計部データ構造に伝える。
- 2) どのロジックチップが故障による設計部の変化によって影響されるかを決定する。
- 3) 影響を受けたロジックチップのネットリストファイルを送出する。
- 4) ERCGAネットリスト変換ツールを用いて、影響を受けたロジックチップの構成ファイルを出力する。
- 5) フォールト構成ファイルをオリジナルと比較し、構

成相違ファイルに相違のみをセーブする。

応答ベクトルメモリを応答回路網に構成する代わりに、設計部コンバータはフォールト応答メモリを構成する。刺激/応答のセクションで説明したように、これらフォールト応答メモリは、応答回路網をメモリ中に記憶された良好な値と比較し、相異が検知される場合にはフリップフロップをセットする。オペレーティングカーネルは、フォールトシミュレーションに対して種々作用する。フォールトシミュレーションを作動させるために(ゼロディレイについて示す。ユニット又はリアル遅延も同様である):

- 1) 設計部構成ファイルを読み出し、これを用いて、すべてのリアライザロジック及び相互接続チップを、構成(configuration)のセクションで説明したように構成する。初期設計部メモリデータを、ファイルから読み出し、これを設計部メモリに書込む。構成相違ファイルを読み出す。
- 2) 刺激バイナリーファイルを読み出す。ベクトルアレイの内容を、ホストインタフェースを介して対応する刺激ベクトルメモリ中に記憶する。タイムアレイ “T” 及びサイクルカウント “v” を読み出す。良好な回路の応答バイナリーファイルを読み出す。対応するフォールト応答ベクトルメモリ中のベクトルアレイの内容を記憶する。
- 3) この故障の構成の相違を用いて、第1の故障によって影響を受けるロジックチップのフォールト構成ファイルを出力する。またこれらを用いて、この故障に対するロジックチップを構成する。
- 4) ベクトルメモリモジュール中のすべてのベクトルメモリカウンタ及び相違検出フリップフロップをクリアする。設計部リセット発生器を周期化し、実現される設計部を初期化する。
- 5) ‘v’ 周期のECLK回路網のクロック発生器をイネーブルする。このことによって、刺激ベクトルメモリはこれらの刺激データを送り出し、刺激に応じて実現される設計部を作動させることができるとともに、フォールト応答ベクトルメモリは、良好回路に対して応答データを比較する。
- 6) フォールト応答検出フリップフロップをチェックするとともに、この故障に対して相違が生じたかどうかを記録する。
- 7) オリジナル構成を、故障したロジックチップに戻す。
- 8) 各残りの故障に対して、ステップ3) ~ 7) を繰り返す。

#### 【0096】3.3 リアライザロジックシミュレータ評価システム

現在のEDAシステムにおける現行の慣用的なシミュレータの多くは、イベントドライブと称するよく知られたシーケンシャルなアルゴリズム、又はコンパイルされたコードシミュレーションのいずれかに従って作動する。

( "An Introduction to Digital Simulation" , Mentor Graphics Corp., Beaverton, Oregon, 1989)。第1アルゴリズムにおいては、入力設計部における各基本要素を各時間ステップ毎に“評価”する。この場合、基本要素の入力ピンを駆動する回路網は、イベント即ち状態の変化を有している。また第2アルゴリズムにおいては、全ての時間ステップに対して入力設計部の各基本要素を評価する。基本要素の評価とは、基本要素の新しい出力値が新しい入力値に対してどのようなものであるかを決定する動作のことである。このことは、シミュレーションの間何回も生じる。通常、ゲートのような小さな基本要素のみを1オペレーションで評価する。この際、索引テーブル又は他の直接的な技術を使用する。大規模ロジック回路網は、一般的に小さな基本要素及び回路網の組み合わせとしてシミュレートされる。多くの時間のかかる内部評価は、各大規模回路網の評価毎に必要とされる。リアライザシステムの外部にあり、シーケンシャルなシミュレーションアルゴリズムを実行するロジックシミュレータをリアライザロジックシミュレータ評価システムに結合させる。これは、リアライザのハードウェアを用い、アルゴリズムシミュレーション中の1以上の大規模ロジック回路網を評価する。リアライザシステムによって評価されるべき各大規模ロジック回路網を、外部ロジックシミュレータ中に単一基本要素で表現する。この利益の一つはそのスピードにある。その理由は、実現された基本要素がほとんど瞬間に評価されるからである。リアライザシステムによって評価されるロジック回路網のサイズは、リアライザのロジック容量によってのみ制限され、全入力設計部と同量のロジック容量を包含している。リアライザロジックシミュレータ評価システムは、リアライザハードウェアシステム及びホストコンピュータと相俟って、リアライザ設計部変換システム（既に記載した）と、リアライザロジックシミュレーションイバリュエータ（evaluator）とからなっている（図56）。これを、シーケンシャルなシミュレーションアルゴリズムを作動させる外部ロジックシミュレータに結合させる。リアライザロジックシミュレーション評価システムによって、評価のためのロジック回路網を準備するために：

- 1) リアライザシステムによって評価されるべきロジック回路網をEDAシステムの入力設計部として組み立てる。
- 2) 特性を各ロジック回路網の入出力回路網に組込み、シミュレータ及びサンプラによってそれぞれ駆動されるように指示する。
- 3) 通常の方法でリアライザ設計部変換システムを行い、入力設計部を変換し、ロジック回路網のこの集合体に構成及び対応テーブルファイルを出力する。

シミュレーションを行うために、以下の方法に従って、外部ロジックシミュレータを作動させ、シミュレータア

ルゴリズムを実行させると共にリアライザロジックシミュレーション評価装置も作動させる。：

- 1) 外部シミュレータのデータ構造を構成し、リアライザシステムによって評価されるべき各ロジック回路網毎に単一の基本要素を設ける。
- 2) 設計部の対応テーブルファイルを読み出し、基本要素入出力を、リアライザホストインターフェースバスのこれらのアドレスと関連させる。
- 3) 構成のセクションにて述べたように、設計部の構成ファイルを読み出し、これを用いて全てのリアライザロジック及び相互接続チップを構成する。ファイルから初期設計部メモリデータを読み出し、これを設計部メモリに書き込む。設計部リセット発生器を周期化させ、実現されるロジック回路網を初期化する。
- 4) 初期値を用いて全てのシミュレータを初期化する。
- 5) 外部ロジックシミュレータのシミュレーションアルゴリズムを作動させる。シミュレーションアルゴリズムでは、この方法を用いてリアライザに基づく基本要素を評価する：
- 1) このシミュレーション時間ステップにおける、この基本要素への全ての入力に対する値を、リアライザロジックシミュレーションイバリュエータに伝送すると共に、この値をロードするために、対応するシミュレータに送る。
- 2) リアライザロジックシミュレーションイバリュエータにこの基本要素の全ての出力サンプラをチェックするよう指示し、いかなる出力に対する変化であってもシミュレーションアルゴリズムに伝送し直す。
- 6) シミュレーションの前後において、ユーザが試験及び修正を行うために、ホストインターフェースを介して設計部メモリ内容をアクセスするために、外部ロジックシミュレータのユーザインターフェースシステムの機能を与える。

シミュレーションアルゴリズムをソフトウェア中で実行する場合、これをリアライザホストコンピュータで実行するとともに、ホストインターフェースを用い、シミュレータ、サンプラ及び設計部メモリをアクセスする。シミュレーションアルゴリズムをハードウェアで実行する場合、ホストコンピュータへの通信リンクを用い、シミュレータサンプラ及び設計部メモリをアクセスする。ハードウェアシミュレータシステムの変更には、シミュレータハードウェアとリアライザのユーザ指定によるデバイス（USD）モジュールとの間の直接接続を用いる。この方法は以下の相違点を伴うものの、上記と同様である：

- 1) 入力設計部の基本要素の入出力に関するシミュレータ及びサンプラを指示する代わりに、これらを、ハードウェアシミュレータの評価ユニットに対応するUSD基本要素に接続する。
- 2) ハードウェアシミュレータの評価ユニットを、リア

ライザのUSDMに電気的に接続する。入力イベントが発生すると、新しい値を直接接続によって実現される基本要素に供給すると共に、ホストを介するのではなく直接接続によって出力応答を捕捉する。このため、かなりの高速評価スピードが得られる。

#### 【0097】3.4 リアライザプロトタイピングシステム

入力設計部を実現する場合、これを直接設計部のプロトタイプとして実現し、作動させることができ。一般的にリアライザシステムのタイミングディレイは、究極的なハードウェアの実現によるタイミングディレイと一致しておらず、このためプロトタイプはフル設計スピードで作動することはできないが、リアライザベースのプロトタイプによって、ほとんど実時間で設計部は実際に動作することができる。実現される設計部を、リアライザクロック発生器、ホストを介して制御されるシミュレータ、実際にユーザが指定するハードウェアデバイス、実現される仮想計器（以下で説明する）によってシミュレートし、及び／又は、内部ロジック及び／又は設計部メモリ内容によって自己シミュレートする。設計部のオペレーションを、ホスト、実際にユーザが指定するハードウェアデバイス、実現される仮想計器を介して、及び／又は、設計部メモリ内容を調べることによって、コントロールされるサンプラを用いてモニタするとともに分析する。設計者は直接、“ベンチトップ（benchtop）”環境と同様に、実時間で設計部と対話する。リアライザプロトタイピングシステムは、リアライザハードウェアシステム及びホストコンピュータとともに、設計部変換システムと、プロトタイピングシステムとを具えている（図57）。プロトタイピングオペレータは、作動される設計部のリアライザシステムを構成し、リアライザ設計部の対話型刺激及び応答をサポートする。このオペレータはホストコンピュータにおいて実行し、直接又はホストコンピュータにおいてランする制御プログラムを介して、ユーザのコマンドに対して応答する。実現される設計部を作動させるために：

- 1) 構成のセクションにて述べたように、設計部の構成ファイルを読み出し、これを用いて、全てのリアライザロジック及び相互接続チップを構成する。ユーザが供給するファイルから初期設計部メモリデータを読み出し、これを設計部メモリに書き込む。対応するテーブルファイルを読み出すと共に、設計部回路網ネーム間の対応と、スティミュレータ及びサンプラ及びこれらのホストインターフェースバスアドレスとを確立する。
- 2) 設計部リセット発生器を周期化し、実現される設計部を初期化する。
- 3) 連続的に以下の動作を必要に応じて行う：ユーザコマンドを処理し、クロック及びリセット発生器を制御する。ユーザコマンドを処理し、スティミュレータ出力値を変化させる。この際、対応テーブルを用い、ユー

ザが与える回路網ネームを、対応するスティミュレータと関連させる。ユーザコマンドを処理し、サンプラのデータ入力値を表示する。この際、対応テーブルを用いユーザが与える回路網ネームを、対応するサンプラと関連させる。ユーザコマンドを処理し、設計部メモリモジュール中のロケーションを読み出すと共に書き込む。設計部が動作していないことを確認する。この際、設計部メモリをアクセスする前にクロック発生器が停止し、不適切な設計部メモリの動作を回避することをチェックする。設計部が停止されていないかどうかを、ユーザに報告する。リアライザプロトタイピングシステムを使用するために：

- 1) 入力設計部をホストEDAシステム中に作成する。
- 2) シミュレータに接続されるべき設計部回路網と、サンプラと、クロック又はリセット発生器とをマークする。
- 3) 設計部基本要素、回路網及び接続を設け、用いるべき任意の仮想計器に対する回路網を設計する（以下参照）。
- 4) リアライザ設計部変換システムを用いて入力設計部を変換し、設計部の構成ファイルを出力する。
- 5) リアライザプロトタイピングオペレータを用いて、設計部を作動させる。図57にて示す特定の例においては、デジタルコンピュータ設計部を、リアライザプロトタイピングシステムを用いて実現する。ユーザは、ホストEDAシステムを用いて、入力設計ファイル中のコンピュータロジック及びメモリの設計部を表現し、ユーザは、リアライザ設計部変換システムを用いて、構成ファイルへと変換する。実際の具体例においては、実際のフロントパネル制御スイッチ及びインジケータに接続されているフロントパネル制御入力及びディスプレイ出力は、入力設計部において指定され、プロトタイプオペレータを介してのユーザ制御の下、スティミュレータ及びサンプラに接続される。コンピュータのクロック入力信号がリアライザクロック発生器によって出力されるよう指定する。

プロトタイプコンピュータを作動させるために、ユーザはリアライザプロトタイプオペレータをランさせ、コンピュータ設計に応じてリアライザシステムを構成する。実現されるコンピュータ設計部で実行が可能となるように、コンピュータプログラムコードをロードすると共に、その初期データを、プロトタイプオペレータを介し、動作の開始時に設計部メモリへロードする。ユーザがクロック発生器をイネーブルさせると、コンピュータ設計部は、リアライザハードウェアの構成されたロジック及び相互接続チップにおいて実際に動作し、設計部メモリから読み出されるプログラムインストラクションコードを実行するとともに、設計部メモリ中のデータを読み出し且つ書き込む。ユーザは、フロントパネル制御入力端子を作動させ、プロトタイプオペレータの対応ステ

イミュレータ及びサンプラーへのアクセスを介して、動作中ディスプレイ出力を読み出す。結果はプログラムの終了時に、プロトタイプオペレータを介してメモリ中からユーザーによって読み出される。ユーザーはこの結果を解析し、設計部が正確であるかどうか、すなわちユーザーの意図に従って正しく動作しているかどうかを判断する。入力設計部中の設計エラーのために設計部が正しく動作していない場合、ユーザーは、ホストEDAシステム用いてエラーを修正し、プロトタイピングプロセスを繰り返す。

**【0098】3.4.1 実現される仮想計器**  
 刺激及び／又は分析計器が、プロトタイプデバッグプロセスにおいて必要とされる場合、ロジックアナライザのような慣用の計器を、ユーザーが与えるデバイスマニュールを介して、実現される設計部に直接接続される。実際の計器を接続するために、計器に接続されるべき設計回路網に接続され、入力設計部中の計器USDを表示している基本要素を設けるとともに、ESD接続を規定しているUSD使用ファイルを作成する。このとき、計器を直接USDに接続し、上記のように実現される設計部を変換させ、作動させる。さらに、“仮想計器”を、入力設計ファイル中の設計部に設け、且つ、この設計部を用いて実現される基本要素及び回路網を設けていく。例えばロジックアナライザーを、一組のロジック信号をモニタするよく知られた計器とし、これらが一定のトリガ条件を満足する場合、一組の分析された信号を連続的にサンプリング化するとともに、これらの値をメモリ中に記録する。これはその後分析のために読み出される。図59は、仮想ロジックアナライザの構成を示し、このアナライザは、応答ベクトルメモリと、ロジック基本要素を有する条件検出器と、1個以上のステイミュレータ及びサンプラーと、他のロジック基本要素とを具えている。設計部を用いて仮想ロジックアナライザを実現及び使用するための：

- 1) 設計部に加えて、図で示したように、相互接続された入力設計ファイル中のこれら成分に対する基本要素を設ける。特に、応答ベクトルメモリ入力を、分析されるべき設計部回路網に接続し、条件検出器入力端子を、トリガ条件でモニタされるべき設計部回路網に接続し、これによって、検出されるべき条件に従って条件検出器のロジックを指定する。
- 2) 入力設計ファイルを、通常の手続きに従って構成ファイルに変換する。
- 3) リアライザプロトタイピングシステム中の設計部を構成する。
- 4) シミュレータを介して“リセット”信号を周期化させ、実現される設計部が動作を開始するのに必要とされる刺激を与える。
- 5) “トリガされた”サンプラーをモニタする。サンプラーが“トリガされた”信号が真であることを示している場

合、ロジックアナライザは分析された信号データを捕捉する。

6) このデータを、ロジックアナライザの応答ベクトルメモリからホストインターフェースを介して読み出す。これを、一般的なコンピュータデバッグプログラム又はこれと同様のものを用いて、表示するとともに分析する。

これは、いかにして仮想刺激又は分析計器を、リアライザシステム中の設計部を用いて実現するかを示す一例である。ロジックアナライザの概念のようないくつかの概念が新規でないことに注意する。リアライザシステム中の入力設計部を用いて計器を実現することが、新規性の一要素となっている。

#### **【0099】3.5 リアライザ実行システム**

リアライザ実行システムを用い、入力設計ファイル中で指定され、未だ構成されていない又は永久的ハードウェアにおいて、決して構成することを試みることはないハードウェア機能を実行する。このことを行うことによって、幾つかの利点が得られる：永久的ハードウェアを構成する間、ソフトウェア開発又はその他の目的のために、実現される設計部を使用する。このことによって、例えば、ソフトウェア開発に作成中に行うことが可能となり、これをデバッグし、永久的ハードウェアを使用しない場合にソフトウェアを使用できるように準備する。リアライザ実行システムはユニバーサルハードウェアデバイスとしての役割を果たし、必要とされる種々の互換を行うために用いられる。特別な機能が要求される場合（リアライザ設計変換システムによって実現される場合）、ハードウェアシステムの構成ファイル及びその他のファイルは、ホストコンピュータによって記憶装置から呼び出され、リアライザシステムをこの設計に応じて構成し、機能を実行する。例えば、電気的な設計環境では、リアライザ実行システムを用いて、必要とされるロジックシミュレーションハードウェアアクセレータ、ルーティングハードウェアアクセレータ、又はハードウェアグラフィックスプロセッサの役割を果たす。デジタル信号を処理する環境において、リアライザ実行システムを用いて、必要とされる実時間スペクトラムアナライザ又は特別な効果を有するシンセサイザの役割を果たす。リアライザ実行システムは以下の点を除き、リアライザプロトタイピングシステムと同様のものである：

- 1) 分析のための計器を用いず、入力設計を正しいものとみなす。ステイミュレータ、サンプラー、及び設計メモリアクセスのみを用いて実行する役割を制御し、データを入出力する。
- 2) 特定の実行される機能を指示するコントローラを作成することができ、又、これを用いてリアライザプロトタイピングオペレータを制御し、実行する機能を、機能の使用に適した入力端子／出力端子及び制御インターフェースに与える。

### 【0100】3.6 リアライザ生産システム

リアライザ設計変換システムの変形例を用いて、自動的に入力設計部の永久的で再構成不可能な実現例を作成する。この永久的な実現例では、実現される設計部に構成されるのと同じ種類と数のリアライザロジックチップを用いる。リアライザ生産システムでは、そのERCGAネットリスト変換ツールを用い、機能においてERCGAロジックチップと等価な、永久的で再構成することのできないロジックデバイスを構成するとともに、自動的プリント回路ボード(PCB)配置及びルーティングツールを駆動する(“Getting Started with Board Station”, “Layout User’s Manual”, Mentor Graphics Corp., Beaverton, Oregon, 1989)。この際、ロジックチップ相互接続に関する仕様を用い、これら再構成することのできないロジックデバイスを永久的に相互接続するPCBを製造する。好適例では、LCAをERCGAロジックチップとして使用している。LCAを製造することによって、機能的にLCAと等価な再構成することのできないロジックチップを、構成PROMメモリと結合しているLCAチップの形態で提供する(“The Programmable Gate Array Data Book”, Xilinx, Inc.; San Jose, 1989)。LCAネットリスト変換ツールによって、PROMをプログラムするのに用いられるバイナリーファイルを作成する。また、LCAはロジックを具え、これを用いてLCAが電力を供給する際にLCA自体を構成することができる。この際、PROMがあればこれを用いる。リアライザ生産システムは、前述したのと同一の設計部リーダと、基本要素コンバータと、リアライザ設計部変換システム(RDCS)、相互接続及びネットリストティングシステム及びRDCS中に用いられるもの変形であるERCGAネットリスト変換ツールに使用されるパーティショナと、自動PCB配置と、ルーティングツールとを具えている(図60)。リアライザ生産システムは、リアライザハードウェアシステム又はホストコンピュータを具えていない。これは入力設計部ファイル及びPCB仕様ファイルを読み出す。以下の方法に従って作動する：

- 1) 設計部リーダを用い、入力設計部ファイルを読み出すとともに、設計部データ構造を作成する。
- 2) 基本要素コンバータを用いて、設計部データ構造をロジックチップ基本要素へと変換する。
- 3) パーティショナを用い、基本要素を特定のロジックチップに割り当てる。
- 4) 相互接続及びネットリストティングシステムを用い、ロジックチップのためのネットリストファイルを作成する。相互接続チップのためのネットリストファイルを供給する代わりに、カット回路網及びこれらのロジックチップI/Oピン接続のリストを、自動PCB配置及びルーティングツールに受け入れられる形態で单一の相互接続ファイルを送出する。

5) ER CGAネットリスト変換ツールを用い、再構成することのできない等価ロジックデバイスの構成に適した形態で、各ロジックチップ毎にバイナリー構成ファイルを供給する。

6) 自動PCB配置及びルーティングツールを用いて、相互接続ファイル及びPCB仕様ファイル(このファイルは、PCBの寸法、コネクタ必要条件などのようなロジック設計とは直接関係していない物理的な情報を含んでいる)に読み込み、PCB製造データファイルを出力する。

リアライザ生産システムのユーザは、このようにしてPCB製造データファイルを用いて、PCBを製造し、バイナリー構成ファイルを用いて、再構成することのできないロジックデバイスを構成すると共に、デバイス及びPCBを組立て、入力設計部の最終的な実現例を提供する。リアライザ生産システムにおいて、機能的に永久的ハードウェアの実現例のERCGAと等価な再構成することのできないゲートアレイチップを使用することは新規なことではなく、一般的に行われていることである。むしろ、このシステムが任意の大きさのデジタルシステムを作り出すことができるということ(これは、1個のICチップの容量に限られることではない)、このシステムが入力設計ファイル中で包括的な基本要素ロジックの形態で表現されること(特定のコンピュータメーカーのロジックライブラリには限定されない)と、更には、自動的に永久的ハードウェアの実現例を提供するということ、これらが新規性の一態様といえる。

### 【0101】3.7 リアライザ計算システム

リアライザハードウェアシステムを、バスカルのような高級コンピュータ言語で書かれている入力プログラムで特定される動きに従って構成することができる。又これを用いて、コンピュータの実行する一般目的のための記憶された記憶されたプログラムに従って計算機能を実行することができる。このことは、高レベル設計合成コンパイラを用いることによって達成され、コンピュータプログラムを、入力設計ファイル中に表現されているデジタルロジックの形態に変換し、その後リアライザハードウェアにおいて、この設計部を実現すると共に作動させる。この方法は根本的に新しい計算手段である。計算の見地から見れば、リアライザハードウェアを高度並列処理データプロセッサとし、そのデータプロセッシング素子を、リアライザロジックチップ、相互接続チップ及び特定目的のエレメント中のロジック機能及び記憶デバイスである。このデータプロセッサは、シーケンシャルな計測を行うことに関する記憶されたプログラム計算方法に従って演算を行うわけではない。このデータプロセッサは、リアライザハードウェアに構成され、入力プログラムで指示される動きに従って作動するデータバスと、機能的ユニットと、有限状態マシン制御構造とに従って作動する。この利点は、計算スピードがシーケンシャル

に記憶されたプログラムによる計算で可能な計算スピードよりも速いことである。説明するリアライザ計算システムは、リアライザハードウェアシステム及びホストコンピュータとともに、リアライザ計算コンパイラと、リアライザ設計部変換システムと、リアライザ計算オペレータとを具えている(図6.1)。このホストコンピュータが、ただリアライザ計算オペレータをランさせる手段としてのみ用いられ、入力プログラムで指示される計算機能を実行することに関しては用いられないということに注意する。リアライザ計算オペレータをランさせる他の手段を用いることができること勿論である。

**【0102】3.7.1 リアライザ計算コンパイラ**  
 リアライザ計算コンパイラは、テキストエディタを用いて高級言語で書かれた入力プログラムファイルを、入力設計部ファイルに変換する。これは、設計部合成コンパイラと、ロジック合成コンパイラと、機能的ユニットコンパイラとを具えている。設計部合成コンパイラは、ツールであり、その幾つかの例は最近開発されたものである(“Tutorial on High-Level Synthesis”, McMarland, Parke and Camposano, Proceeding of the 25th Design Automatic Conference, ACM and IEEE, 1988)。このコンパイラは、機能的ユニット、データ入出力から成る有限状態マシンコントローラ及びデータバスのシステムとバス相互接続とに関する記述を構成し、標準的な手続コンピュータ言語で特定される動きに従って作動する。実際の設計部合成コンパイラの一例としては、“フーリエル(flame)”がある。その方法については、“Flame 1:A High-Level Hardware Compiler”, Howard Trickey, IEEE Transaction on Computer-Aided Design, Vol. CA D-6, No. 2, 1987)で詳細に説明されている。文献からの引用を示す：“フーリエルへの入力は、バスカルプログラムである。” “ユーザは、バスカルプログラムに、入力プログラムを一般的に実行する場合の実行頻度を与える。その他のユーザ入力は、どの程度のハードウェアが許容されるかを示すナンバである。出力は、バスカル言語と同一の役割を果たすハードウェアの設計である。”

“フーリエルによって作り出されるモデルとは、データバス及びコントローラから成る同期デジタルマシンである。データバスは、バスによって相互接続される機能的ユニット(ALU、加算器、レジスタ、I/Oパッド等)から成っている。コントローラは有限状態マシンである。” “一般的なバスカルプログラムを用いて、ハードウェアに要求される動きを規定する。フーリエルは、プログラム中の並列処理を見出し、ユーザ指定によるコスト制約と合致した高速実行の実現を可能としている。”

“フーリエルの実現例は完成されている。出力は、データバス及びコントローラに関する記述である。一連のテストにおいて、フーリエルは、クロックサイクルを同じとすると、同じプログラムを実行するのにMC68000(マイクロコンピュータ)の22~200倍の速さでランするプロ

グラムを具体化する。”用いられるリアライザハードウェアシステムの容量に従って、ユーザ又はリアライザ計算システムは、“ユーザ指定のコスト制約がある”入力を、この設計部合成コンパイラに供給する。設計部合成コンパイラの出力は、データバス及びコントローラの記述を具える中間表現ファイルである。機能的なユニットライブラリとは、一組の予め定義された機能的なユニットの表現である。各タイプの機能的なユニットに対する表現は、設計部合成コンパイラによって与えられる。これらの表現は、ロジック及びユーザ指定のデバイス(USD)基本要素と、これらの回路網相互接続とを指定する。これらの表現は、リアライザ入力設計部基本要素の要件と合致している。USD基本要素は、付加的に用いられ、ロジックチップ及び設計部メモリを用いて実現されるものよりも、より高い性能又は、より大きな容量の基本要素を提供することができる。例えば、高速VLSI浮動小数点型乗算器をUSDとして取り付ける場合、機能的なユニットバイナリーは、このUSD基本要素を特定する浮動小数点型乗算器の機能的ユニットに関する記述を具えている。ロジック合成コンパイラは、データバス及び有限状態マシンコントローラに関する記述を、入力計算ファイル中のロジック基本要素及び相互接続回路網に関する表現に変換する。このロジック合成コンパイラは、有限状態マシン合成ツールを具え、これは、Mentor Graphics Corp., VLSI Technology Inc., Synopsis Inc.等(“Logic Synthesis speeds ASIC Design”, A. J. de Geus, IEEE Spectrum, August 1989)から商業的に入手可能であり、又は、文献記載の方法に従って開発される(“The Implementation of a State Machine Compiler”, C. Kingsley, Proceedings of the 24th Design Automation Conference, ACM and IEEE, 1987; “A State Machine Synthesizer”, D. Brown, Proceedings of the 18th Design Automation Conference, ACM and IEEE, 1981; “An Overview of Logic Synthesis Systems”, L. Trevillyan, Proceedings of the 24th Design Automation Conference, ACM and IEEE, 1987)。このコンパイラは、以下の方法に従って作動する：

- 1) データバス及びコレクタに関する記述を含む中間表現ファイルを、データ構造中に読み込む。
- 2) 機能的ユニットライブラリの記述に従って、各データバスの機能的なユニットの記述を、ロジック及びUSD基本要素及び回路網に変換する。
- 3) データバスへの各データ入力及び、データバスからの各データ出力に対する設計部メモリ基本要素を提供する。
- 4) 有限状態マシン合成ツールを用いて、有限状態マシンコントローラの記述を、ロジック基本要素及びこれらの回路網相互接続に変換する。
- 5) 有限状態マシンコントローラへの‘スタート’入力と、有限状態マシンコントローラからの‘ビジー’及び

'ダーン (done)' 出力とに対するスティミュレータ及びサンプラの基本要素を提供する。

- 6) クロック回路網が、リアライザクロック発生器によって駆動されるように指示する。
- 7) 基本要素及び回路網を、入力設計ファイルに送出する。

#### **【0103】3.7.2 リアライザ計算オペレータ**

リアライザ計算オペレータは、リアライザシステムを構成し、本来に入力プログラムが指示し、実現される計算機能の実行を可能にする。リアライザ計算オペレータは、設計変換によって作成される構成ファイル及び対応テーブルファイルに読み込み、ユーザ指定の計算機能への入力データに関するファイルを読み出すとともに、計算機能からの出力データに関するファイルに書き込む。

実現される計算機能を作動させるために：

- 1) 設計部の構成ファイルを読み出し、これを用いて、構成のセクションにて述べたように、すべてのリアライザロジック及び相互接続チップを構成する。
- 2) 入力データファイルを読み出し、そのデータを入力データ設計部メモリに書き込む。出力データ設計部メモリをクリアする。
- 3) 対応テーブルファイルを読み出し、コントロール入力と出力との間、スティミュレータとサンプラとの間、及びホストインターフェースバスアドレス間の対応を決定する。
- 4) クロック発生器をイネーブルし、スティミュレータを介して「スタート」制御入力を主張し、動作を開始させる。
- 5) 「ダーン」制御出力をモニタし、これが真となる時に、データを出力設計部メモリから読み出し、これを出力データファイルに書き込む。リアライザ計算システムを用いるために：
- 1) テキストエディタ又は他の手段を用いて、入力プログラム及び入力データファイルを準備成する。
- 2) リアライザ計算コンパイラを用い、入力設計ファイルを発生させる。
- 3) 他で既に述べたように、通常の方法で作動するリアライザ設計変換システムを用い、構成及び対応テーブルファイルを発生させる。
- 4) リアライザ計算オペレータを用い、実際に計算機能を実行する。
- 5) 実現された計算機能によって計算されるデータを、出力データファイルから読み出す。

#### **【0104】4.好適例**

この明細書を介して説明される好適例は、以下の特徴を有している：

#### **【0105】4.1 ハードウェア**

部分的クロスバー相互接続を、3レベルで階層的に、全ハードウェアシステムに用いる。図62-図64は、階層的に相互接続されたロジックボード、ボックス及びラ

ックの一般的アーキテクチャを示している。図65a-bは、ボード、ボックス及びラックに関する物理的構造を示している。

ロジックボード(図62)：各ロジックボードは、32個のXレベルクロスバーチップによって相互接続された14個のLチップから成っている。各Lチップは、Xレベルクロスバーに接続されたチップ毎に128個のI/Oピンを有しており、32個のXチップの各々に4個の接続が成されている。14個の付加的なI/Oピンを用いる；その内1個をRバスに接続し、1個を2個のクロック信号の各々に接続し、1個を設計部リセット信号に接続する。Xilinx XC3090 LCAをロジックチップとして用いる。各Xチップは、ロジックチップに接続された56個のI/Oピンを具えており、14個のLチップの各々に4個の接続がなされている。各Xチップは、2個のYチップの各々と、8個の付加的なI/Oピン接続を具えている。Xilinx XC2018 LCAをXチップとして用いる。各ロジックボードは、X-Yバスに対し512個の背面I/Oピンを有している。これは、Rバス及び構成バスへの接続も有している。

ボックス(図63)：各ボックスは、64個のYレベルクロスバーチップによって相互接続されている1~8個のボードから成っている。各Yチップは、ロジックボックスボードに接続された6個のI/Oピンを有しており、各ボードのXチップに8個の接続が成されている。これは、1個のZチップとの8個の付加的なI/O接続を有している。Xilinx XC2018 LCAをYチップとして用いる。64個のYチップを、8個のYチップボードに取り付ける。この各々は、X-Yバスに対して512個の背面I/Oピンを有している。8個のYチップボードと8個のロジックボードとを、ボックスのX-Yバス背面のワイヤで相互接続する。各Yチップボードは、Y-Zバスに対して、ケーブルコネクタに64個のI/Oピンを有している。各ボックスは、このようなコネクタを8個有している。これらの接続を、各ボックスからの單一な512個のワイヤY-Zバスケーブルに集める。各Yチップボードは、構成バスに対する接続も有している。図65aは、Y-Zバスケーブルを具え、ホストインターフェース、8個のロジックボード及び8個のYチップボードを有しているX-Yバス背面の物理的な構成を示している。

ラック(図64)：各ラックは、1~8個のボックスを具え、64個のZレベルクロスバーチップによって相互接続されている。各Zチップは、ボックスに接続された64個のI/Oピンを具え、各ボックスのYチップに8個の接続がなされている。Xilinx XC2018 LCAをZチップとして用いる。ラックのボックスを、ロジックボードに配置された各ボックスからのX-Zバスケーブルへの接続を用いて、付加的なボックスによって相互接続する。図65bにおいて、Zレベルボックスの物理的な

構成を示す。64個のZチップを、8個のZチップボードに取り付ける。この各々は、Y-Zバスに対して512個のI/Oピンを有している。8個のZチップボードと、8個のY-Zバスケーブルコネクタとを、Y-Zバス背面のトレースによって相互接続する。メモリのセクションにて述べたように、16個のRAMチップと10個のLCAとを各々具えているメモリモジュールを、必要とされる場所であるロジックチップの場所に取り付ける。メモリモジュールは、刺激及び応答のセクションで規定されているように、設計部メモリ、ベクトルメモリ、ディミュレータ及びサンプラーに用いられている。ユーザ指定によるハードウェアデバイスマジュールをロジックチップLCAの場所に取り付ける。ある1個のボックスは、ホストコンピュータのI/Oバスインターフェースカードとケーブル接続しているホストインターフェースボードを具えている。このボックスは、Rバスと称するホストインターフェースバスを制御する。すべての制御及びデータ伝送機能のためにこのバスをすべてのロジックチップロケーション及び各ロジックボード、すなわちYチップボード及びZチップボードにおける構成制御ロジックブロックに接続する。Rバスは、そのセクションで述べたように、8ビットデータバスと、クロックと、2個のコントロールラインとを具えている。ホストインターフェースボードは、構成バスコントローラと、2個のクロック発生器と、リセットコントローラとを具えている。16ビットデータバスを有する構成バスは、全ての構成機能に対して、ホストインターフェースを用いて、すべてのロジック及びクロスバーチップを接続する。各ボードの14個のZチップを一つの構成グループとし、その32個のXチップを2つのグループに分割する。8個のZチップボードの各々と同様に、各ボックスの8個のYチップボードを各々1グループとする。

#### 【0106】4.2ソフトウェア

設計部変換システムは以下のモジュールから成っており、その各々は、それぞれに関するセクションで記載されている：Quick Sim ロジック基本要素を有する Mentor Graphics 設計ファイルを読み出す設計部リーダ。Quick Sim 基本要素を Xilinx LCA 基本要素に変換する基本要素コンバータ。トライステート及びワイヤードネットドライバは、トライステートのセクションで述べたように、クロスバー加算構成に従って変換される。そのセクションにて述べたように、クラスタ構成技術に基づいているパーティショナ。3つのレベルの部分的クロスバーを相互接続するとともに、システム中の各ロジック及びクロスバーチップに関する XNF フォーマットのネットリストファイルを送出する相互接続及びネットリストティングシステム。XNF2LCA, APR 及び Makebits から成っている Xilinx LCA ネットリスト変換ツール。構成ファイルコレクタ。

#### 応用

Mentor Graphics のログファイルに基づき、且つ RSI M バッチインターフェースツールを用いているアライザロジックシミュレーションシステム。Mentor Graphics のログファイルに基づき、且つ RSI M バッチシミュレーションインターフェースツールを用いているアライザフォールトシミュレーションシステム。Mentor Graphics Quick Sim のロジックシミュレータとして作用するアライザロジックシミュレータ評価システム。ロジックアナライザを具え、実現される仮想計器を有しているアライザプロトタイピングシステム。

#### アライザ実行システム

Mentor Graphics Board Station の自動 PCB 配置及びルーティングツールを用いてのアライザ生産システム。バスカル言語とフーリエ設計部合成コンパイラと、Mentor Graphics Design, Knowledge and Logic Consultant FSM 及びロジック合成ツールとを用いたアライザ計算システム。好適例を引用し、本発明の原理を説明したが、このような原理とは離れて、装置及び細部を種々変更できること明らかである。例えば、Mentor Graphics の電気設計オートメーションの変形例を用い、本発明が有効に動作することを説明したが、他の設計部オートメーションツールを用いて同様に本発明を実施できることがわかる。本発明は、ここに開示されている実施例に限定されるものではなく、要旨を変更しない範囲内で種々の変形や変更が可能である。

#### 【図面の簡単な説明】

【図1】図1は、アライザハードウェアシステムを示す略ブロック図である。

【図2】図2は、直接相互接続システムを示す略ブロック図である。

【図3】図3は、チャンネル・ルーティング相互接続システムを示す略ブロック図である。

【図4】図4は、クロスバー相互接続システムを示す略ブロック図である。

【図5】図5は、クロスバーハードウェアシステムを示す略ブロック図である。

【図6】図6は、部分的なクロスバー相互接続システムの簡単な一例を示す略ブロック図である。

【図7】図7は、部分的なクロスバー相互接続システムを示す略ブロック図である。

【図8】図8は、クロスバーチップ幅の相違を説明するための図である。

【図9】図9は、トライステート回路網を示す略ブロック図である。

【図10】図10は、図9のトライステート回路網と等価な、積の和を示す略ブロック図である。

【図11】図11は、“フローティングロー”及び“フローティングハイ”の積の和の回路網を示す略ブロック図である。

【図12】図12は、相互接続を最小とするように構成

されたドライバ及びレシーバを示している略ブロック図である。

【図13】図13は、ロジック加算構成を示している略ブロック図である。

【図14】図14は、クロスバー加算構成を示している略ブロック図である。

【図15】図15は、双方向性のクロスバー加算構成を示している略ブロック図である。

【図16】図16は、双方向性のクロスバートライステート構成を示している略ブロック図である。

【図17】図17は、部分的なクロスバーからのオフボード接続を示している略ブロック図である。

【図18】図18は、Yレベルクロスバー相互接続を示している略ブロック図である。

【図19】図19は、双方向性バスのシステムレベル相互接続を示す略ブロック図である。

【図20】図20は、共通バス相互接続に基づく、8個のボードを示す略ブロック図である。

【図21】図21は、2つのバスレベルの階層を示す略ブロック図である。

【図22】図22は、最大バス相互接続階層を示している略ブロック図である。

【図23】図23は、汎用メモリモジュール構造を示す略ブロック図である。

【図24】図24は、メモリアドレスロジックチップを示す略ブロック図である。

【図25】図25は、共通I/Oを用いてのメモリデータロジックチップを示す略ブロック図である。

【図26】図26は、分離I/Oを用いてのメモリデータロジックチップを示す略ブロック図である。

【図27】図27は、一個のデータビットに関する多重RAMを示す略ブロック図である。

【図28】図28は、メモリモジュールの好適例を示す略ブロック図である。

【図29】図29は、刺激ベクトルメモリを示す略ブロック図である。

【図30】図30は、応答ベクトルメモリを示す略ブロック図である。

【図31】図31は、刺激及び応答に対するベクトルメモリを示す略ブロック図である。

【図32】図32は、ベクトルメモリアドレスチップの好適例を示す略ブロック図である。

【図33】図33は、ベクトルメモリデータチップの好適例を示す略ブロック図である。

【図34】図34は、ランダムアクセススティミュレータを示す略ブロック図である。

【図35】図35は、エッジ感応タイプのスティミュレータを示す略ブロック図である。

【図36】図36は、サンプラーの略ブロック図である。

【図37】図37は、変更検出サンプラーを示す略ブロック図である。

ク図である。

【図38】図38は、ユーザ指定のデバイスマジュールアーキテクチャを示す略ブロック図である。

【図39】図39は、デバイスを取り付けているUSD Mの好適例を示す略ブロック図である。

【図40】図40は、構成グループを示す略ブロック図である。

【図41】図41は、ホストインターフェースアーキテクチャを示す略ブロック図である。

【図42】図42は、Rバス読出し及び読み込みサイクルを示す図である。

【図43】図43は、リアライザ設計変換システムを示す略ブロック図である。

【図44】図44は、本発明に用いられている設計部データ構造を示す図である。

【図45】図45は、本発明に用いられている基本要素変換を示す図である。

【図46】図46は、基本要素のクラスタへの移動を示す略ブロック図である。

【図47】図47は、シンプルな回路網相互接続を示す図である。

【図48】図48は、トライステート回路網相互接続を示す図である。

【図49】図49は、トライステート回路網相互接続を示す図である。

【図50】図50は、リアライザロジックシミュレーションシステムを示す略ブロック図である。

【図51】図51は、マルチステートロジックのリアライザシステム構成を示す略図である。

【図52】図52は、ディレイ依存機能の例を示す略図である。

【図53】図53は、ユニットディレイ構成の例を示す略図である。

【図54】図54は、リアルディレイ構成を示す略図である。

【図55】図55は、リアライザフォールトシミュレーションシステムを示す略ブロック図である。

【図56】図56は、リアライザロジックシミュレータ評価システムを示す略ブロック図である。

【図57】図57は、リアライザプロトタイピングシステムを示す略ブロック図である。

【図58】図58は、リアライザプロトタイピングシステムのデジタルコンピュータの一例を示す略ブロック図である。

【図59】図59は、仮想ロジックアナライザの構成を示す略ブロック図である。

【図60】図60は、リアライザ生産システムを示す略ブロック図である。

【図61】図61は、リアライザ計算システムを示す略ブロック図である。

(も2) 00-236249 (P2000-23JL8

【図6 2】図6 2は、ロジックボード、ボックス及びラックの階層相互接続を具える好適例の一般的なアーキテクチャを示す図である。

【図6 3】図6 3は、ロジックボード、ボックス及びラックの階層相互接続を具える好適例の一般的なアーキテクチャを示す図である。

【図6 4】図6 4は、ロジックボード、ボックス及びラックの階層相互接続を具える好適例の一般的なアーキテクチャを示す図である。

【図6 5】図6 5は、ロジックボード、ボックス及びZレベルボックスの物理的な構成を示す図である。

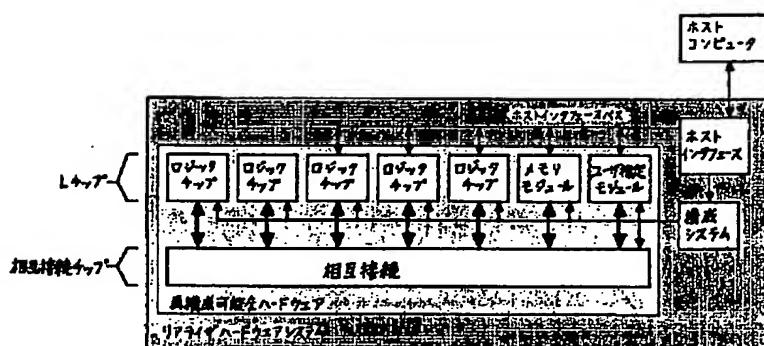
【符号の説明】

1 0…アレイ

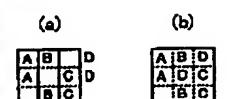
1 2…電気的に再構成可能なゲートアレイ

- 1 4…基本要素コンバータ
- 1 6…ホストEDAシステム
- 1 8…アライザ設計変換システム
- 2 0…テストベクトル
- 2 2…ホストインタフェース
- 2 4…刺激及び応答ベクトルメモリ
- 2 6 a…設計合成ツール
- 2 6 b…ロジック合成ツール
- 2 8…入力プログラム
- 3 0…ホストインタフェース
- 3 2…メモリモジュール
- 3 4…クロスバーチップ
- 3 6…多次元アレイ

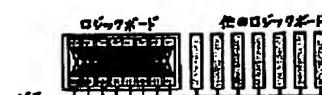
【図1】



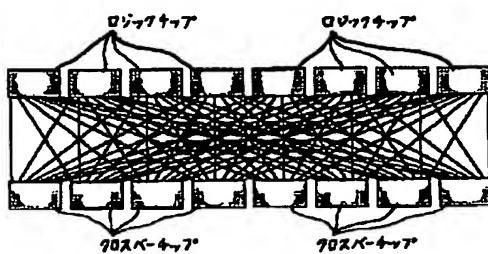
【図8】



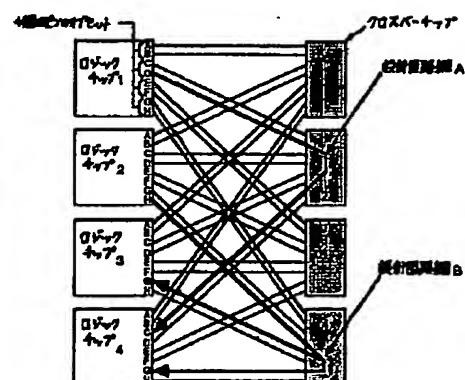
【図20】



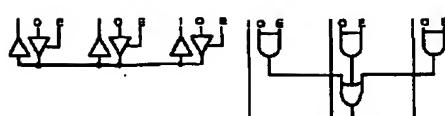
【図6】



【図7】



【図9】

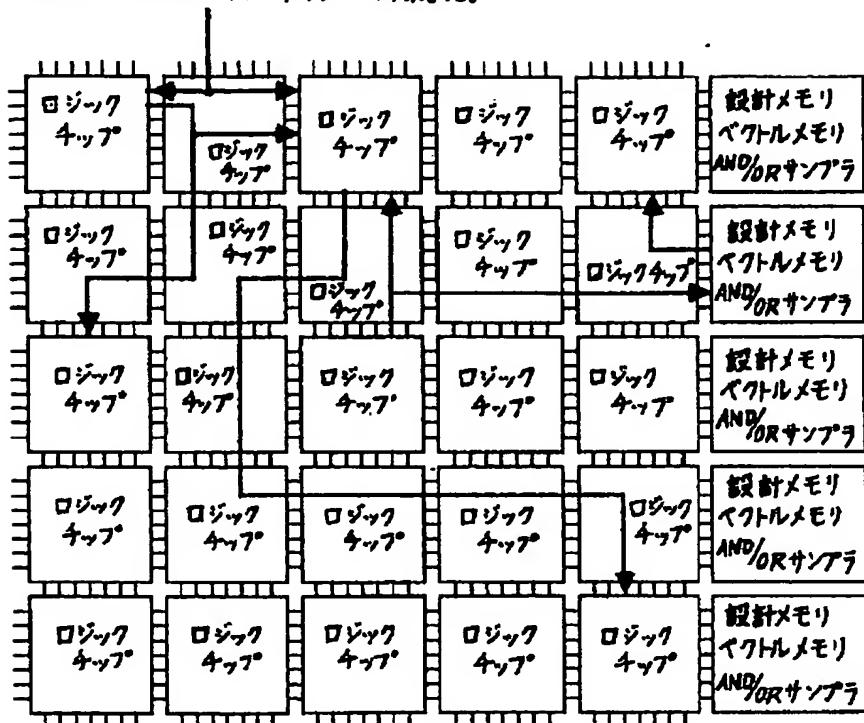


【図10】

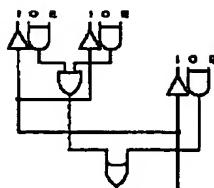
各々 8面のピンを有する4面のロジックチップ  
各々 8面のピンを有する34面のクロスバー・チップ

【図2】

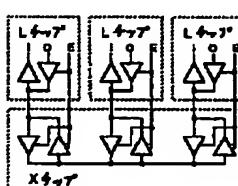
ユーザ指定のハードウェアデバイス又は、  
その他のロジックゲートアレイに接続する。



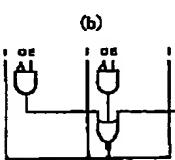
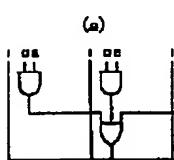
【図12】



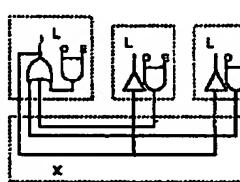
【図16】



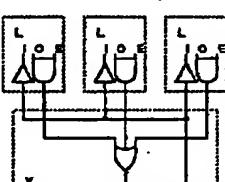
【図11】



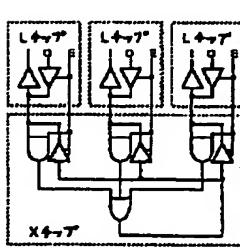
【図13】



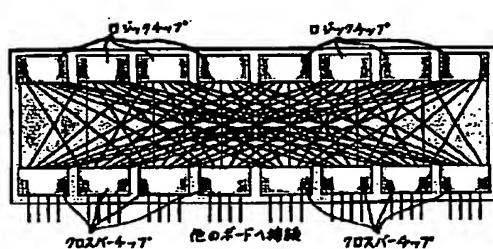
【図14】



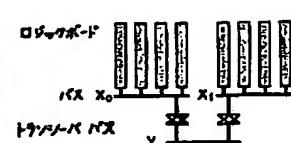
【図15】



【図17】



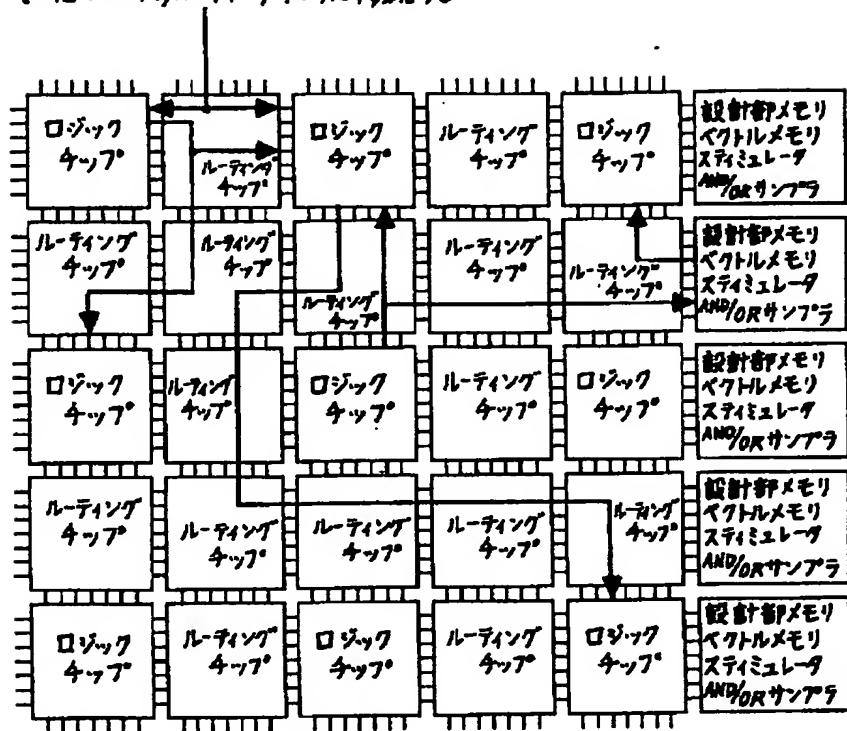
【図21】



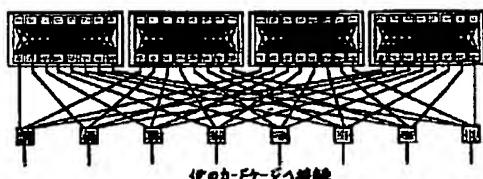
(#4) 00-236249 (P2000-23JL8)

【図3】

ユーザ指定のハードウェアデバイス又は  
その他のロジック/ルーティングアレイに接続する



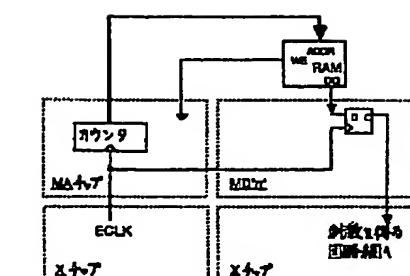
【図18】



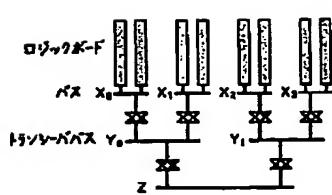
【図19】



【図29】

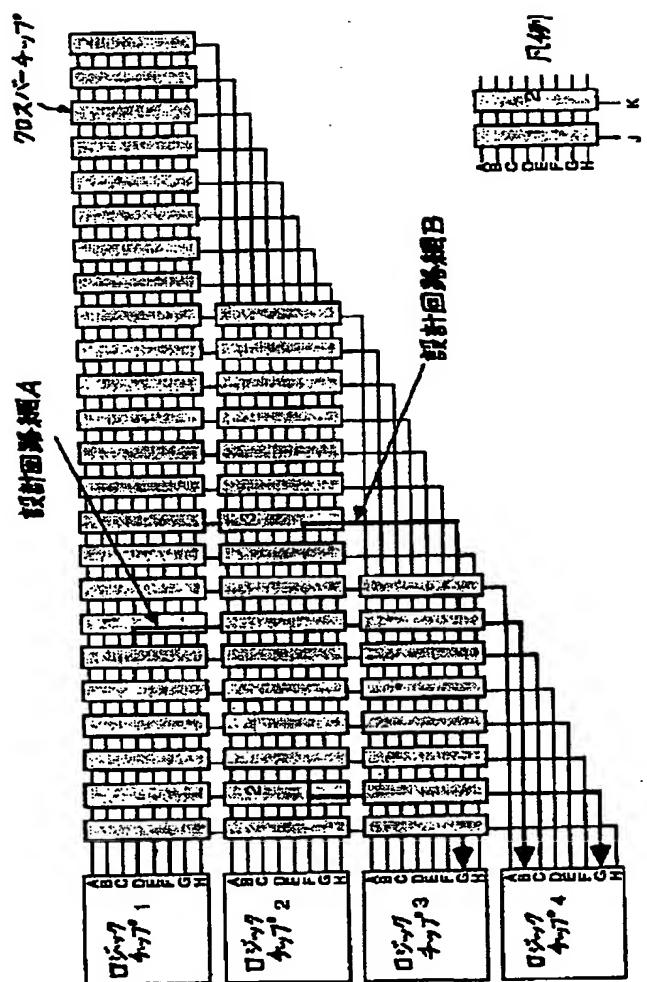


【図22】



(#5) 00-236249 (P2000-23JL8

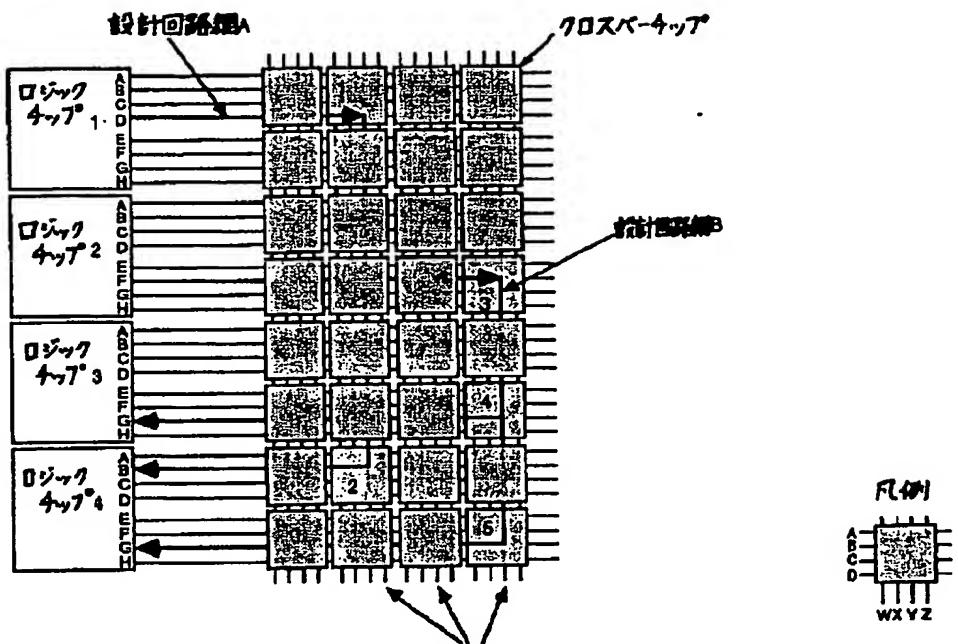
【図4】



各々 8個のビンを有する34個のロジック4-7°  
各々 9個のビンを有する34個のロジック4-7°

ガスバ-4-7°はロジック4-7°、アビニスを併置のロジック4-7°  
A-Hに接続し、ガスバ-4-7°はロジック4-7°、アビニスを  
併置のロジック4-7°、アビニスを接続する。

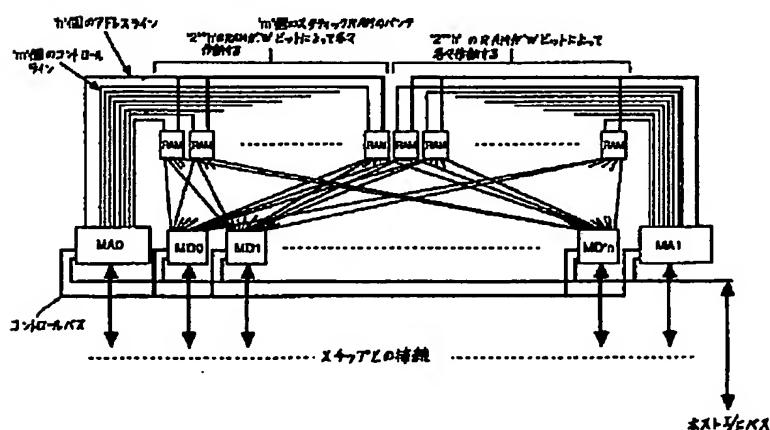
【図5】



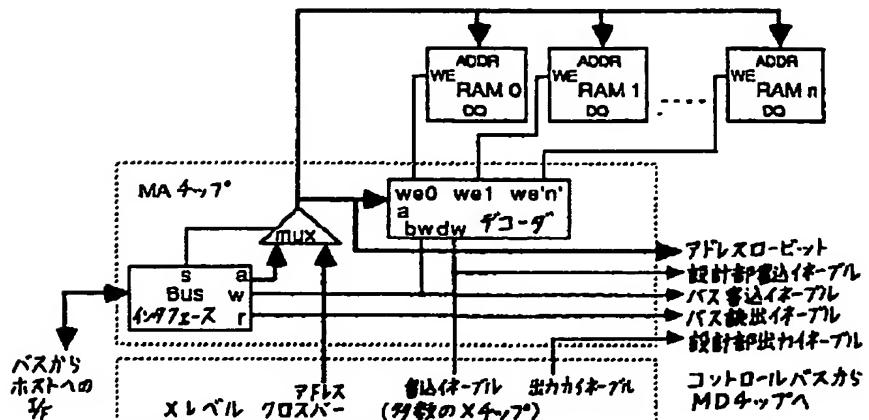
各々 84個のピンを有す34個のロジックチップ  
各々 9個のピンを有す48個のクロスバーチップ

クロスバー-4x7°1は、仕戻のロジックピンA-D2.  
仕戻のICN W~Zと接続する。

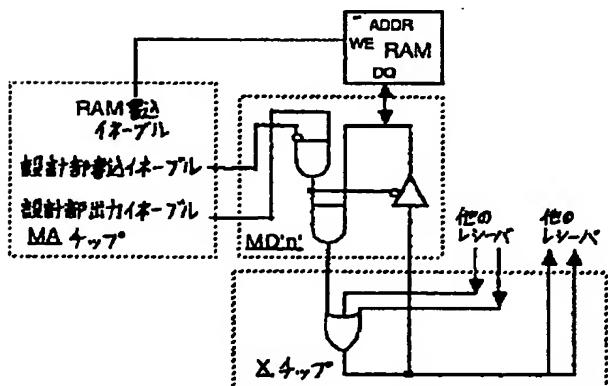
【図23】



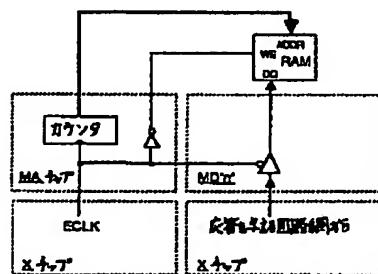
【図24】



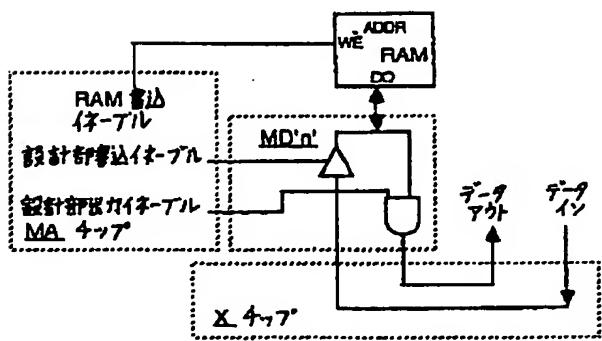
【図25】



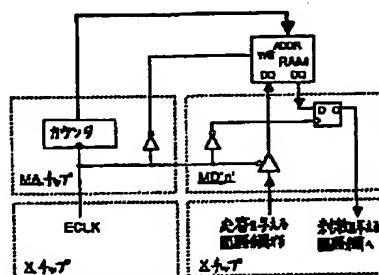
【図30】



【図26】

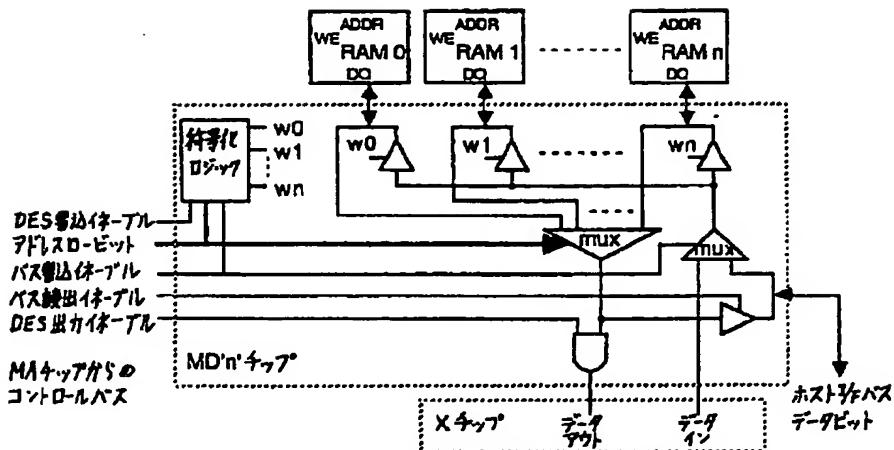


【図31】



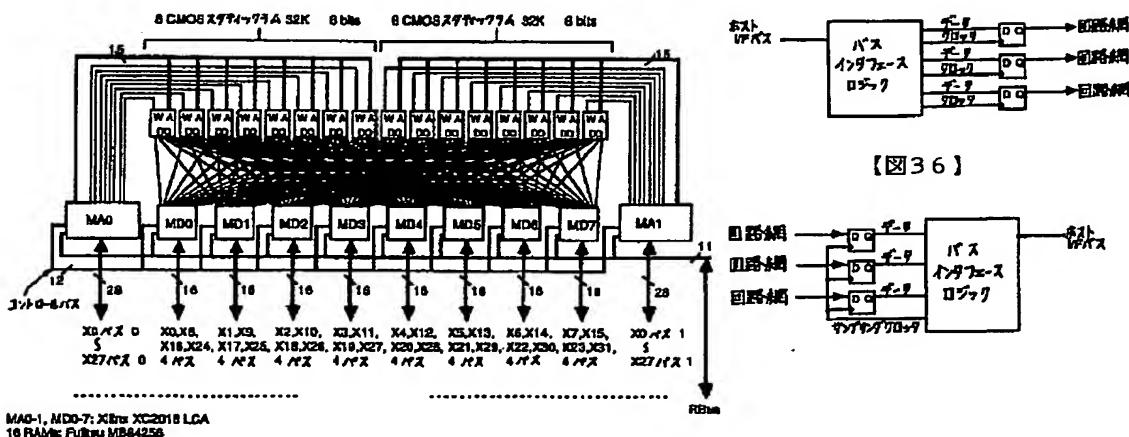
(68) 00-236249 (P2000-23JL8)

【図27】



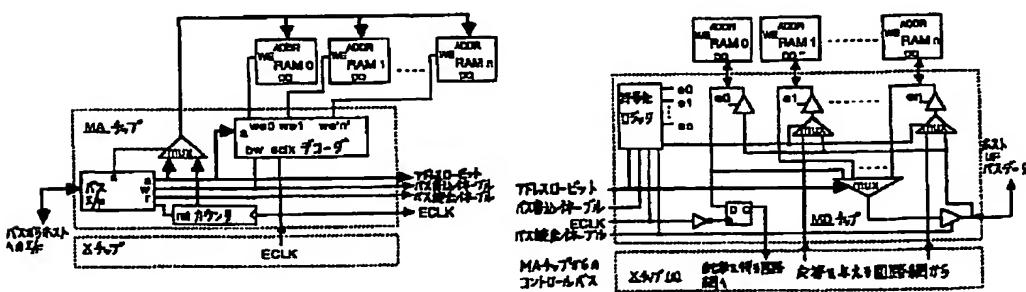
【图28】

【図34】



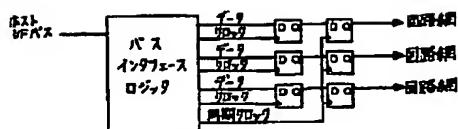
〔図32〕

[图33]

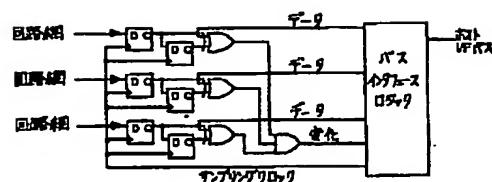


(69) 00-236249 (P2000-23JL8)

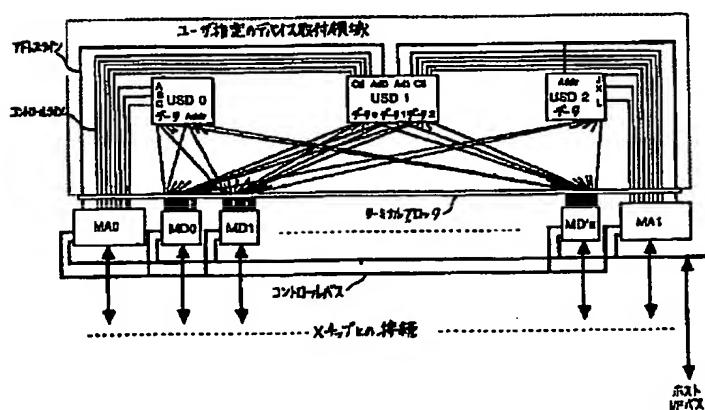
【図35】



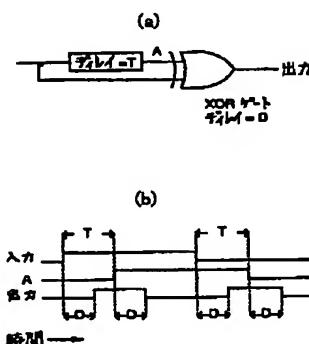
【図37】



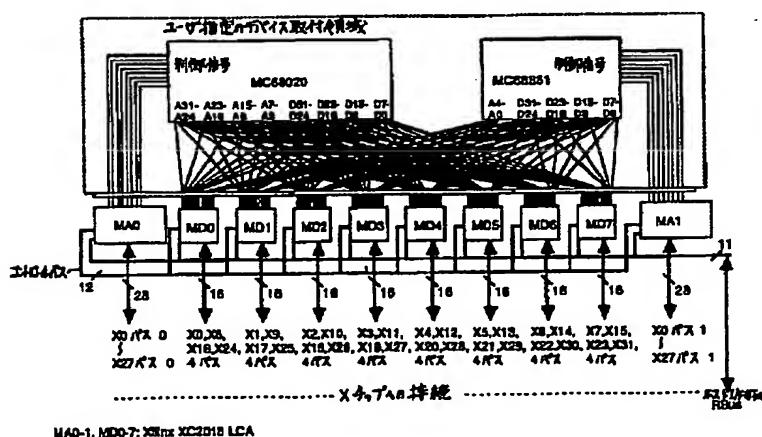
【図38】



【図52】



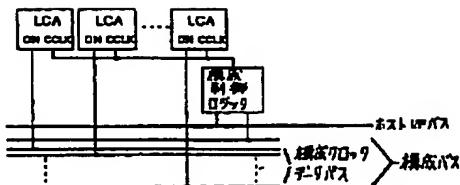
【図39】



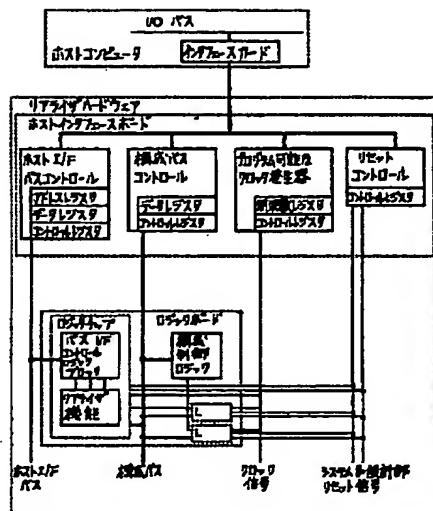
M40-1, M40-7: Xilinx XC2018 LCA

(70) 100-236249 (P2000-23JL8

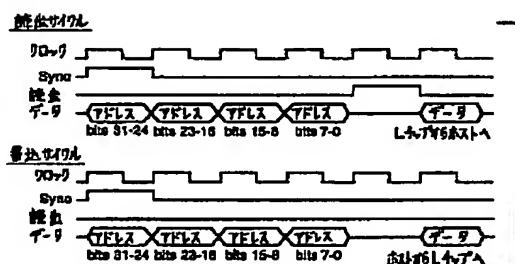
【図40】



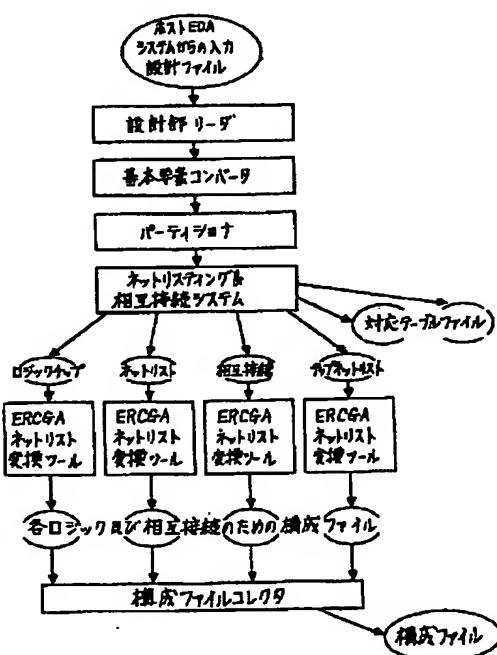
【図41】



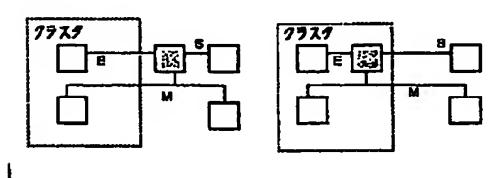
【図42】



【図43】

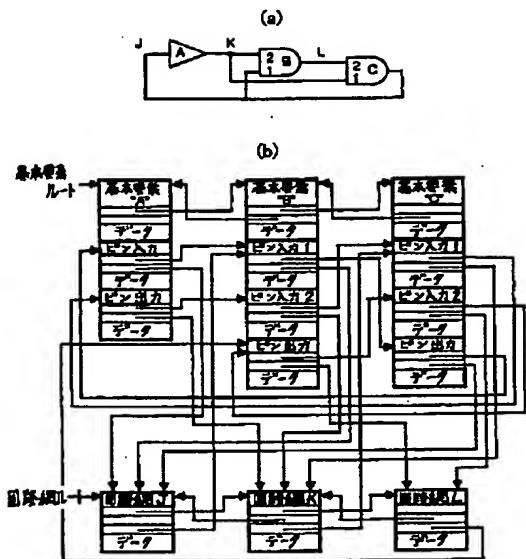


【図46】

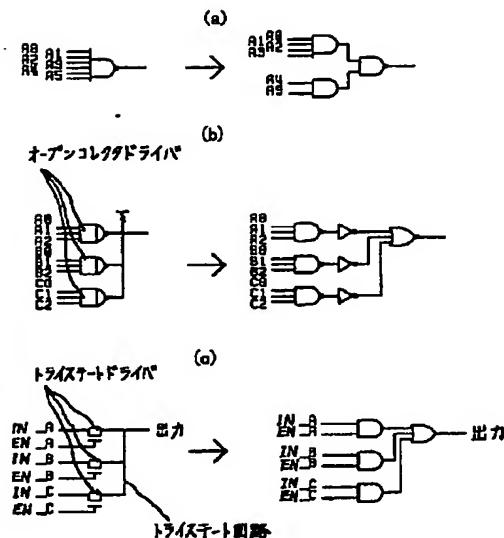


(71) 00-236249 (P2000-23JL8)

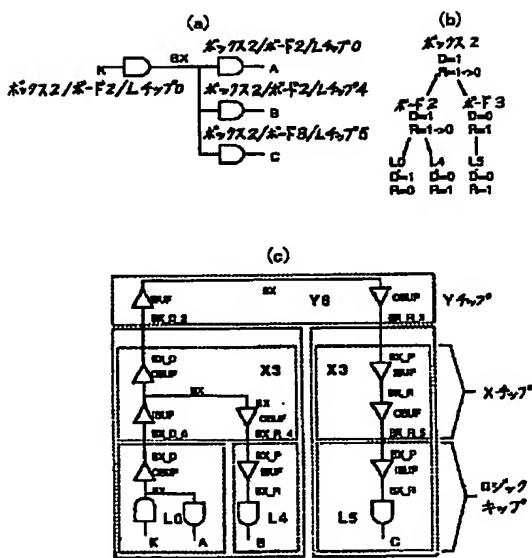
【図44】



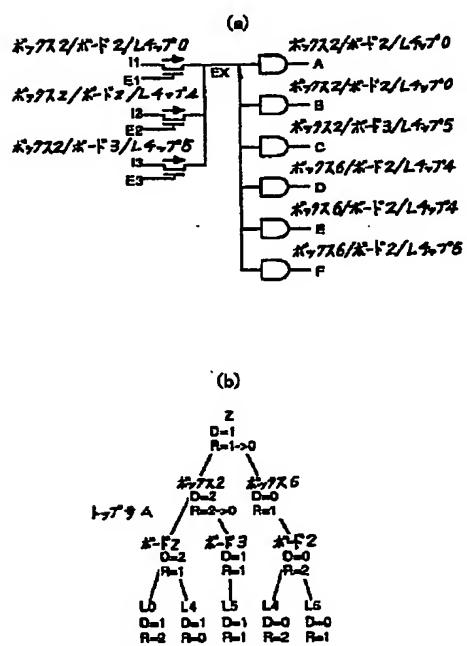
【図45】



【図47】

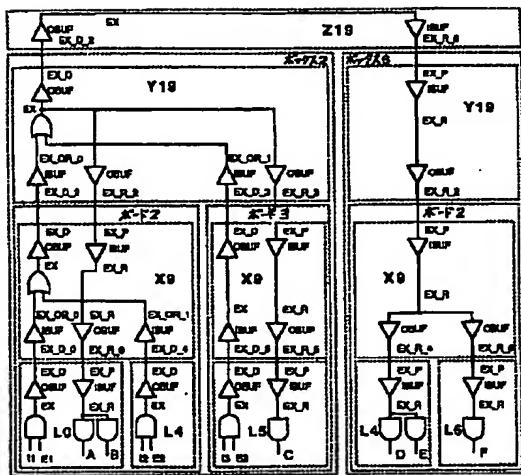


【図48】



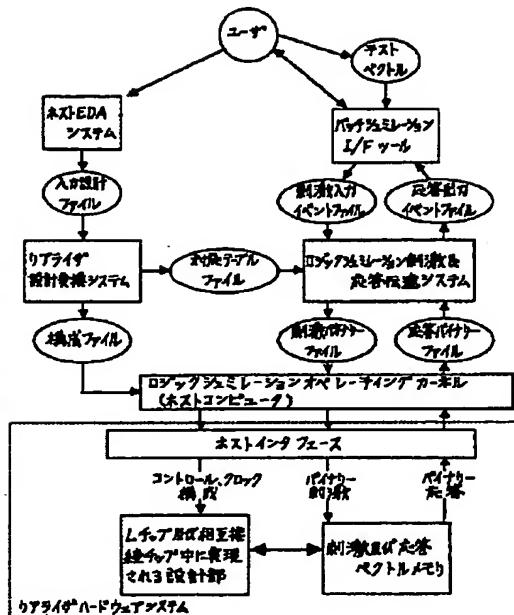
(72) 00-236249 (P2000-23JL8

【図49】



【図51】

【図50】

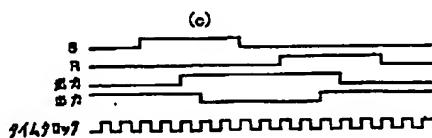
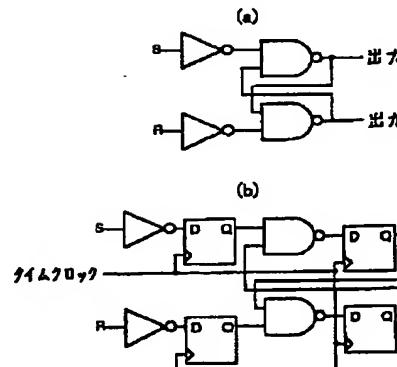
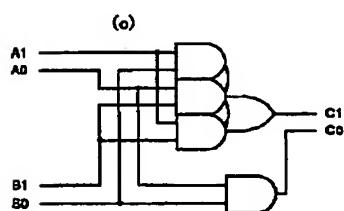


【図53】

(a)

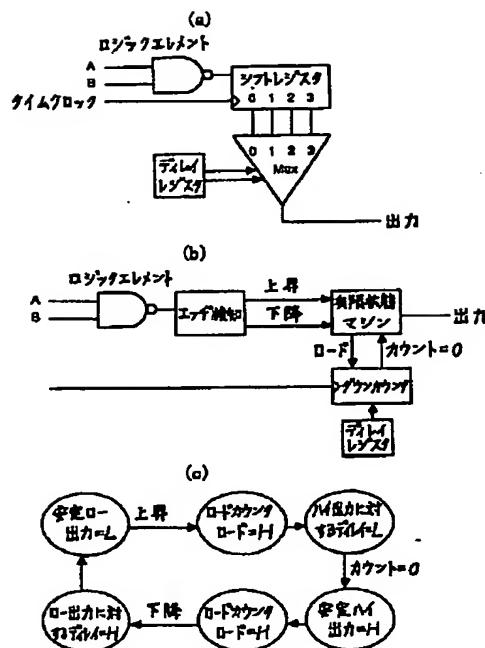
	入力		出力			
	A	B	A1A0	B1B0	C	C1C0
状態	LL	0 0	0 0	0 0	L	0 0
L	0 0	LL	0 0	0 1	L	0 0
H	0 1	LX	0 0	1 0	L	0 0
X	1 0	HL	0 1	0 0	L	0 0
L = 0-1-0	H = 1-0-1	X = 2-0-0			H = 0 1	X = 1 0
					X = 0 1	X = 1 0
					X = 1 0	X = 1 0

(b)

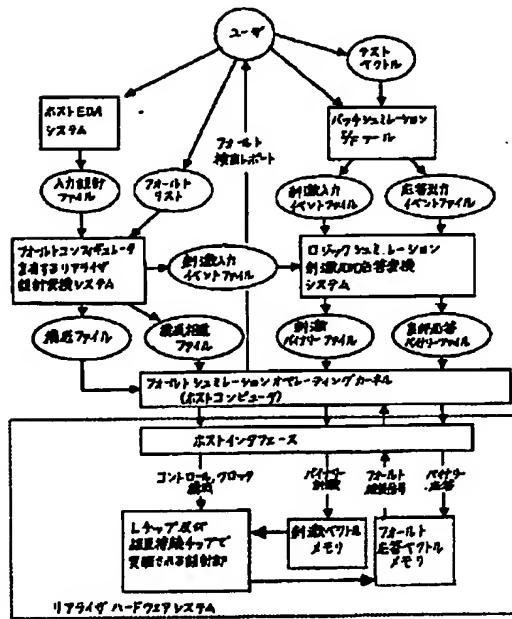


(73) 100-236249 (P2000-23JL8)

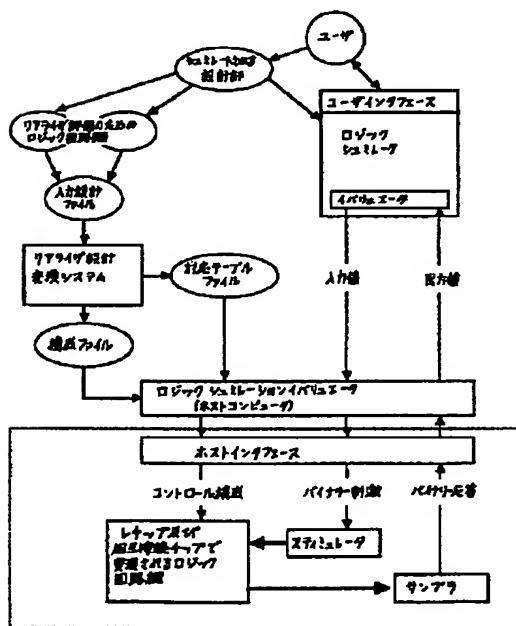
【図54】



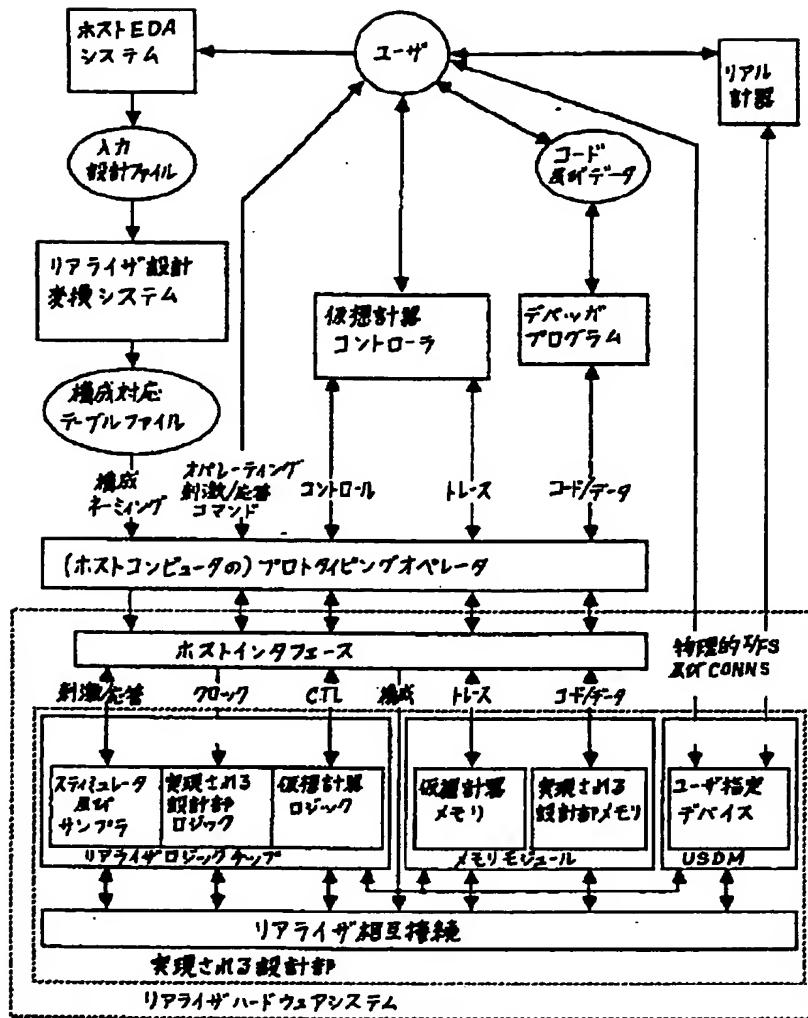
【図55】



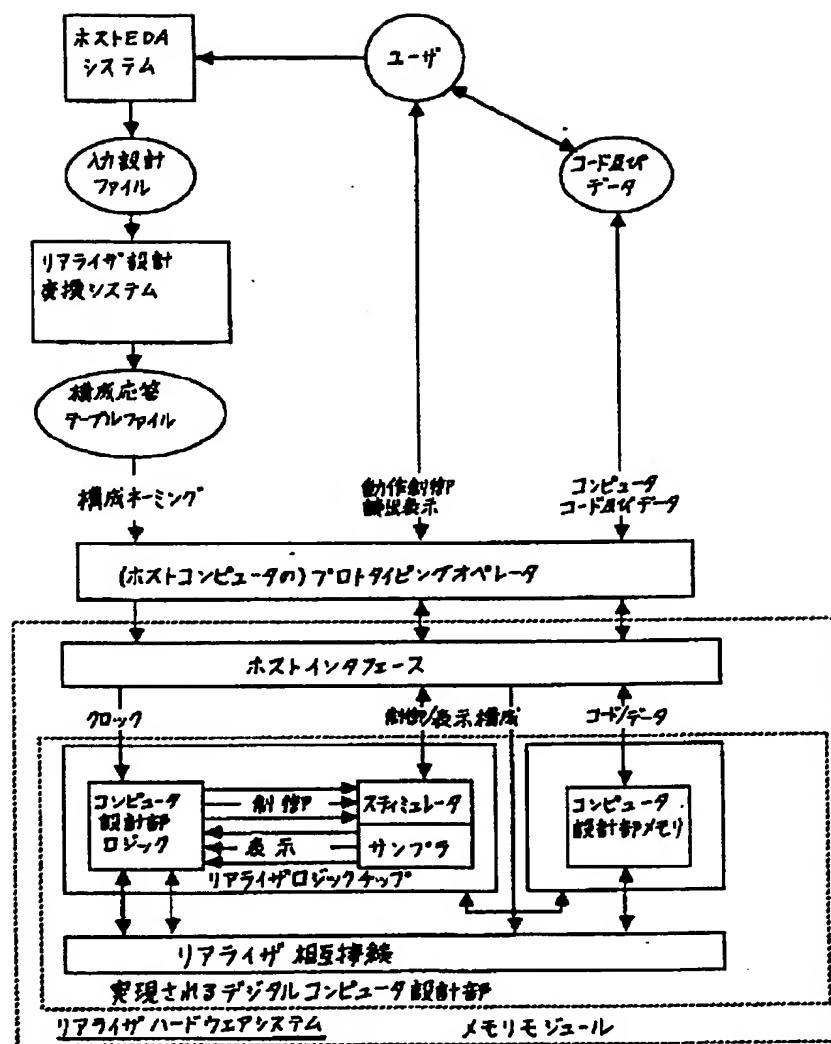
【図56】



【図57】

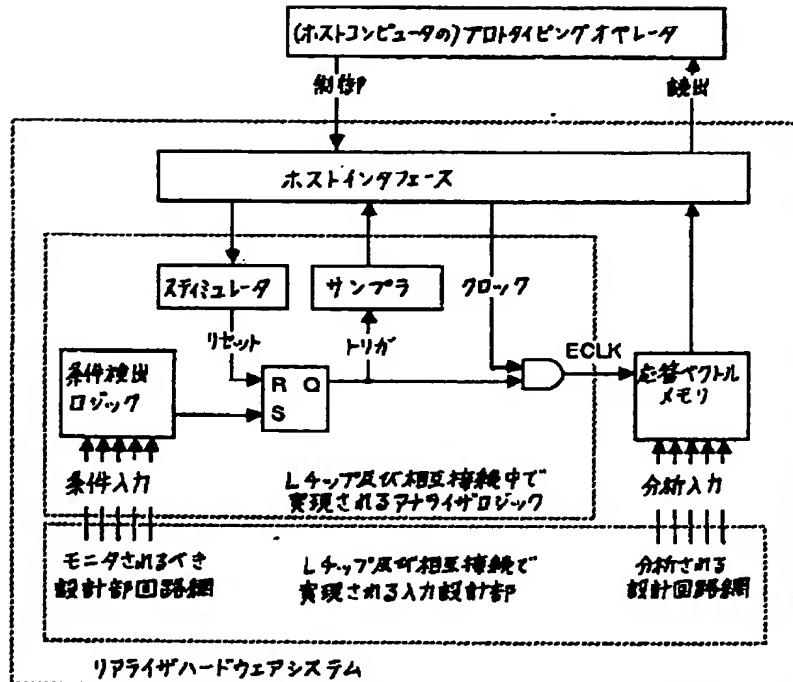


【図58】

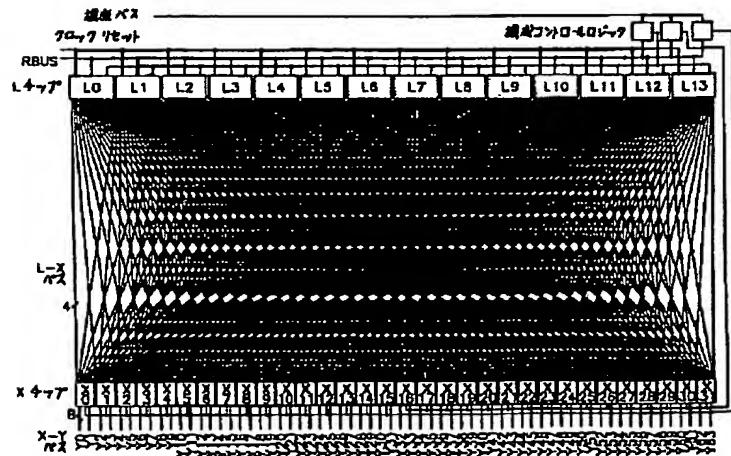


(76) 00-236249 (P2000-23JL8)

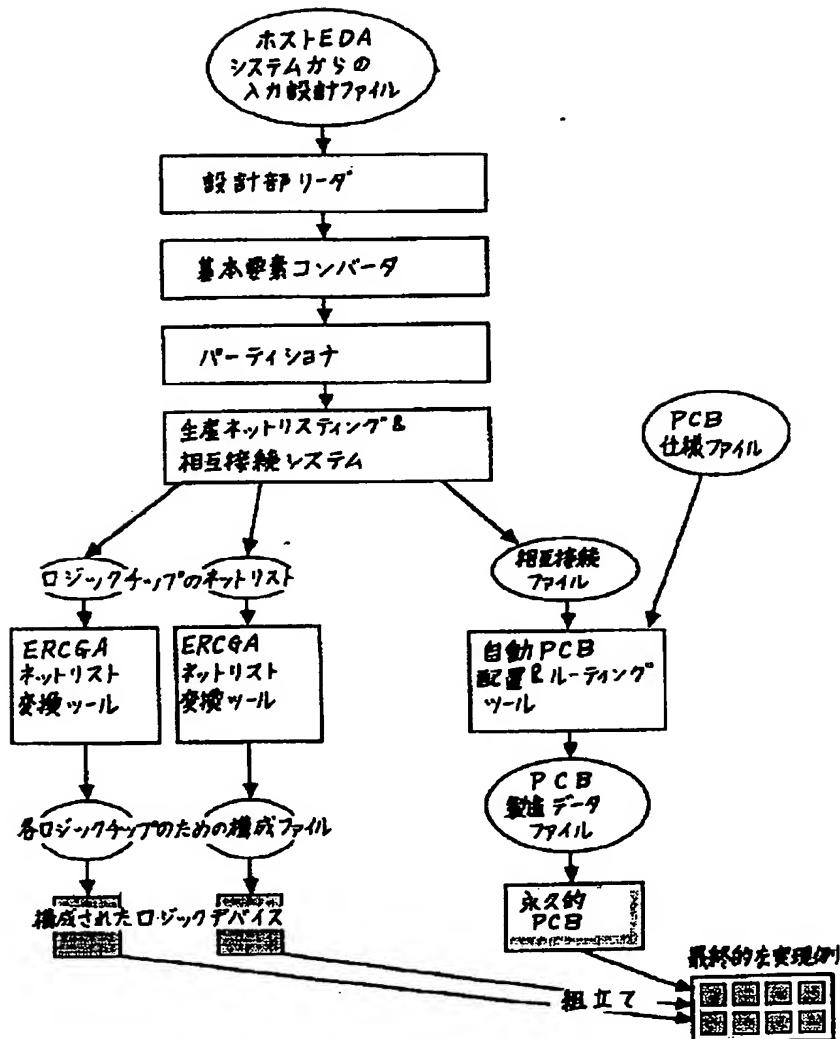
【図59】



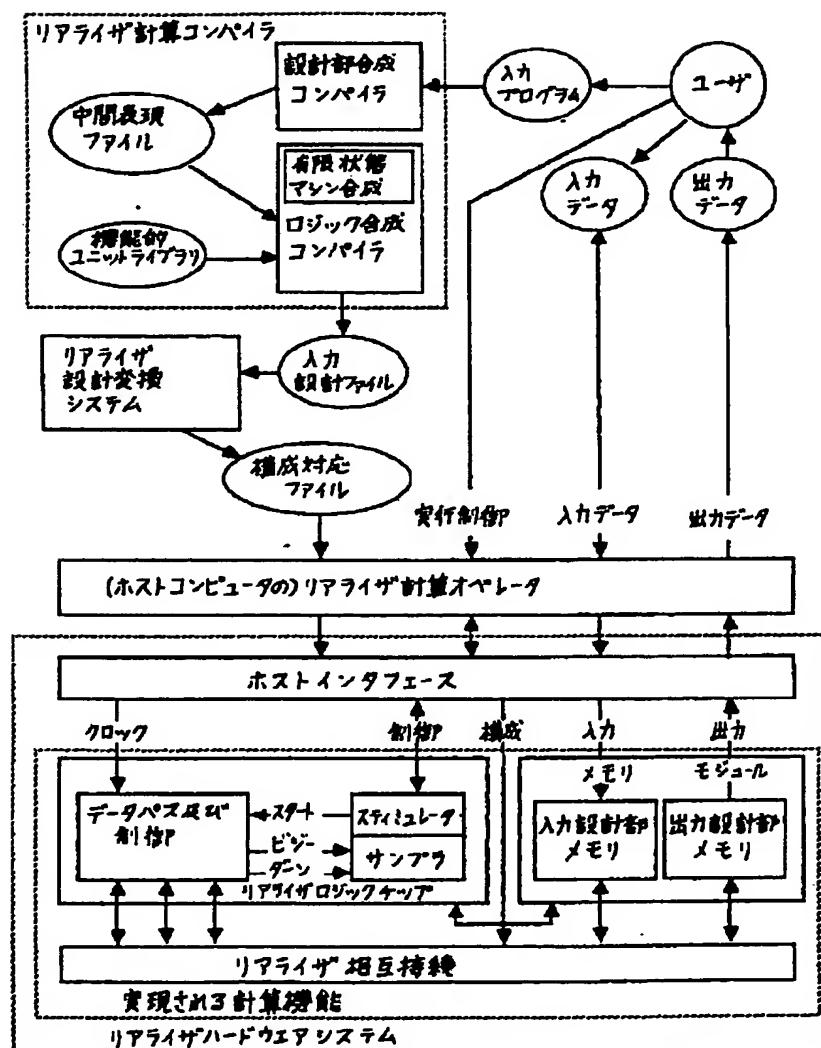
【図62】



【図60】

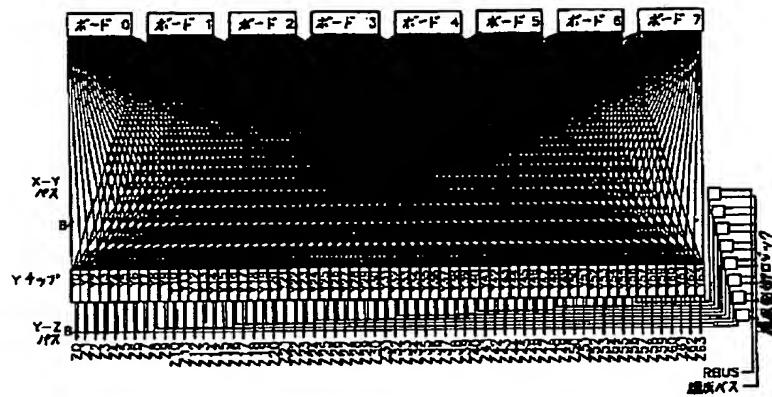


【図61】

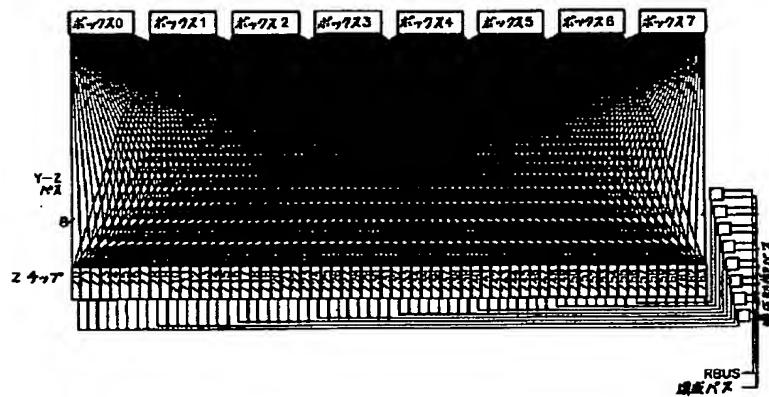


(69) 00-236249 (P2000-23JL8

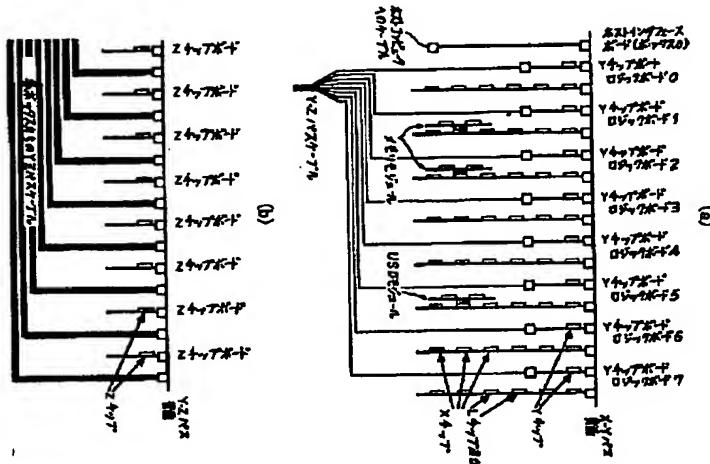
【図63】



【図64】



〔図65〕



《手稿補正書》

【提出日】平成11年12月27日(1999.12.27)

【手続補正1】

【補正対象書類名】明細書

#### 【補正対象項目名】発明の名称

【補正方法】麥更

### 【補正方法】

【発明の名称】 電気的に再構成可能なゲートアレイを用いて論理構成を構築する方法

【手稿補正2】

【補正對象書類名】明細書

#### 【補正対象書類名】別添書

【補正方法】空更

【補正方法】  
【補正内容】

#### 【特許請求の範囲】

【特許請求の範囲】  
【請求項1】複数のロジック回路素子及び前記ロジック回路素子間に接続経路を変更可能に確立する手段を有する電気的に再構成可能なゲートアレイ(ERCGA)を複数用いて論理構成を構築する方法であって、

論理ゲートからなる複数の基本要素及び前記基本要素を相互接続する回路網を含む第1デジタルロジック回路網を表わす第1入力設計を供給する工程と、

前記第1入力設計によって表わされる前記第1のデジタルロジック回路網の前記基本要素及び相互接続する回路網を少なくとも第1及び第2区分に自動的に区分化する工程と

前記第1入力設計の前記第1区分を第1ゲートアレイに

プログラムし、前記第1入力設計によって表される前記第1デジタルロジック回路網の前記第1区分を第1ゲートアレイトに構築する工程と

前記第1入力設計の前記第2区分を第2ゲートアレイに  
プログラムし、前記第1入力設計によって表される前記  
第1デジタルロジック回路網の前記第2区分を第2ゲー  
トアレイ上に構築する工程と、

前記第1及び第2ゲートアレイを相互接続手段を用いて再構成可能に相互接続し、前記第1入力設計によって表わされる前記相互接続する回路網を前記第1及び第2ゲートアレイ間に構築する工程と、

論理ゲートからなる複数の基本要素及び前記基本要素を相互接続する回路網を備えていることを除き、前記第1デジタルロック回路網と全く無関係である第2デジタルロジック回路網を表わす第2入力設計を供給する工程  
と。

前記第2入力設計によって表わされる前記第2デジタルロジック回路網を少なくとも第1及び第2区分に自動的に区分化する工程と、

前記第2入力設計の前記第1区分を前記第1ゲートアレイにプログラムし、前記第2入力設計によって表わされる前記第2デジタルロジック回路網の前記第1区分を前記第1ゲートアレイに構築する工程と、

前記第2入力設計の前記第2区分を前記第2ゲートアレイにプログラムし、前記第2入力設計によって表わされる前記第2デジタルロジック回路図の前記第2区分を前記第2ゲートアレイ上に構築する工程と、

(B1) 100-236249 (P2000-23JL8

前記第1及び第2ゲートアレイを相互接続手段を用いて再構成可能に相互接続し、前記第2入力設計によって表わされる前記相互接続する回路網を前記第1及び第2ゲートアレイ間に構築する工程とを含むことを特徴とする方法。

【請求項2】 様数のロジック回路素子及び前記ロジック回路素子間に接続経路を変更可能に確立する手段を含む電気的に再構成可能なゲートアレイ(ERCGA)を複数用いて論理構成を構築する方法であって、(a)論理ゲートからなる複数の基本要素及び前記基本要素を相互接続する回路網を含む第1デジタルロジック回路網を表わす第1入力設計を供給する工程と、(b)前記第1入力設計によって表わされる前記第1デジタルロジック回路網の前記基本要素及び相互接続する回路網を少なくともN個の区分に分化する工程と、(c)前記第1入力設計の各区分を少なくともN個のゲートアレイにそれぞれプログラムし、前記第1入力設計によって表わされる前記第1デジタルロジック回路網の各区分を前記少なくともN個のゲートアレイ上に構築する工程と、(d)前記少なくともN個のゲートアレイを相互接続手段を用いて

再構成可能に相互接続し、前記第1入力設計によって表わされる前記相互接続する回路網が前記少なくともN個のゲートアレイ上に構築されるように、前記少なくともN個のゲートアレイのそれぞれを少なくとも1つの他のゲートアレイに接続する工程と、(e)論理ゲートからなる複数の基本要素及び前記基本要素を相互接続する回路網を備えていることを除き、前記第1デジタルロジック回路網と全く無関係である第2デジタルロジック回路網を表わす第2入力設計について前記工程(a)～(d)を繰り返す工程とを含むことを特徴とする方法。

【請求項3】 請求項1または2に記載の方法であって、前記再構成可能に相互接続する工程は、少なくとも一つの追加のゲートアレイによって行われることを特徴とする方法。

【請求項4】 請求項3に記載の方法であって、各ゲートアレイは複数のピンを有し、前記再構成可能に相互接続する工程は、前記少なくとも一つの追加のゲートアレイを、前記再構成可能なゲートアレイのピンのすべてではないが、少なくとも一つに接続することを特徴とする方法。

---

フロントページの続き

(51) Int.CI. <sup>7</sup> // G06F 11/22	識別記号 330	F I H01L 21/82	マーク(参考) A
--	-------------	-------------------	--------------

(72) 発明者 バチェラー ジョン エイ  
アメリカ合衆国オレゴン州 97132 ニューパーク ボックス 91 ルート 1